

## PATENT COOPERATION TREATY

PCT

NOTIFICATION OF THE RECORDING  
OF A CHANGE(PCT Rule 92bis.1 and  
Administrative Instructions, Section 422)Date of mailing (day/month/year)  
16 August 2001 (16.08.01)Applicant's or agent's file reference  
09343International application No.  
PCT/JP00/01588

From the INTERNATIONAL BUREAU

To:

TAKASHIMA, Hajime  
Fujimura Yamato Seimei Bldg.  
2-14, Fushimimachi 4-chome, Chuo-ku  
Osaka-shi, Osaka 541-0044  
JAPON

## IMPORTANT NOTIFICATION

## 1. The following indications appeared on record concerning:

 the applicant     the inventor     the agent     the common representative

## Name and Address

TAKASHIMA, Hajime  
Yuki Building  
3-9, Hiranomachi 3-chome, Chuo-ku  
Osaka-shi, Osaka 541-0046  
Japan

State of Nationality    State of Residence

Telephone No.

Facsimile No.

Teleprinter No.

## 2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:

 the person     the name     the address     the nationality     the residence

## Name and Address

TAKASHIMA, Hajime  
Fujimura Yamato Seimei Bldg.  
2-14, Fushimimachi 4-chome, Chuo-ku  
Osaka-shi, Osaka 541-0044  
Japan

State of Nationality    State of Residence

Telephone No.

Facsimile No.

Teleprinter No.

## 3. Further observations, if necessary:

## 4. A copy of this notification has been sent to:

 the receiving Office the designated Offices concerned the International Searching Authority the elected Offices concerned the International Preliminary Examining Authority other:The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Authorized officer

Masashi HONDA

Facsimile No.: (41-22) 740.14.35

Telephone No.: (41-22) 338.83.38



## PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION  
(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner  
US Department of Commerce  
United States Patent and Trademark  
Office, PCT  
2011 South Clark Place Room  
CP2/5C24  
Arlington, VA 22202  
ETATS-UNIS D'AMERIQUE  
in its capacity as elected Office

Date of mailing (day/month/year) <b>21 November 2000 (21.11.00)</b>	
International application No. <b>PCT/JP00/01588</b>	Applicant's or agent's file reference <b>09343</b>
International filing date (day/month/year) <b>15 March 2000 (15.03.00)</b>	Priority date (day/month/year) <b>17 March 1999 (17.03.99)</b>
<b>Applicant</b> <b>TADATOMO, Kazuyuki et al</b>	

1. The designated Office is hereby notified of its election made:

in the demand filed with the International Preliminary Examining Authority on:

**13 October 2000 (13.10.00)**

in a notice effecting later election filed with the International Bureau on:

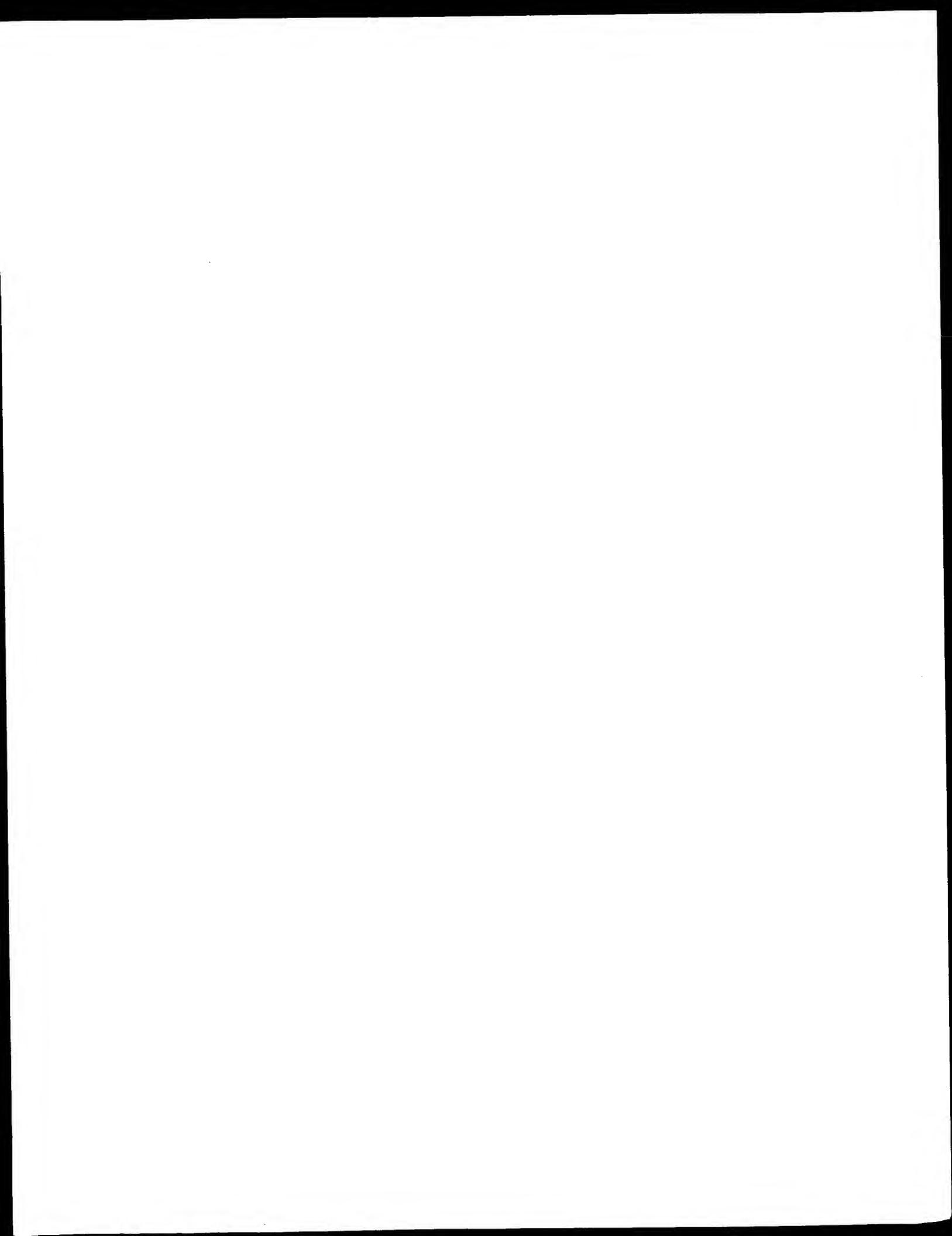
\_\_\_\_\_

2. The election  was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer <b>Diana Nissen</b>
Facsimile No.: (41-22) 740.14.35	Telephone No.: (41-22) 338.83.38



## 特許協力条約

E P



P C T

## 国際調査報告

(法8条、法施行規則第40、41条)  
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 09343	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。		
国際出願番号 PCT/JP00/01588	国際出願日 (日.月.年) 15.03.00	優先日 (日.月.年) 17.03.99	
出願人(氏名又は名称) 三菱電線工業株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。 この調査報告に引用された先行技術文献の写しも添付されている。

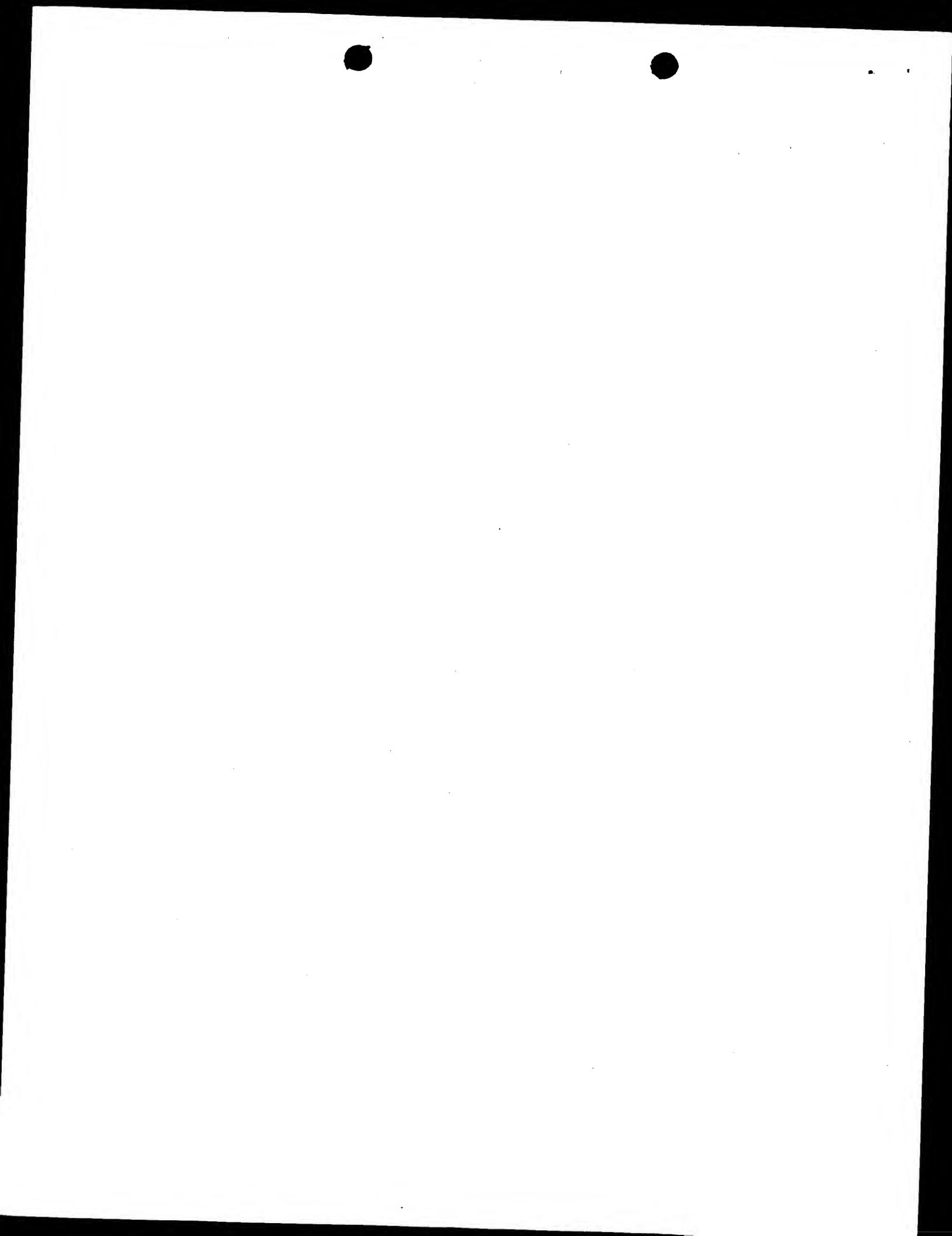
## 1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
  - この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
  - この国際出願に含まれる書面による配列表
  - この国際出願と共に提出されたフレキシブルディスクによる配列表
  - 出願後に、この国際調査機関に提出された書面による配列表
  - 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
  - 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
  - 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2.  請求の範囲の一部の調査ができない(第I欄参照)。3.  発明の単一性が欠如している(第II欄参照)。4. 発明の名称は  出願人が提出したものと承認する。 次に示すように国際調査機関が作成した。

## 5. 要約は

 出願人が提出したものと承認する。 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により  
国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこ  
の国際調査機関に意見を提出することができる。6. 要約書とともに公表される図は、  
第1図とする。  出願人が示したとおりである。 なし 出願人は図を示さなかった。 本図は発明の特徴を一層よく表している。



*3T*  
Translation  
*09/93668*

## PATENT COOPERATION TREATY

*a 6  
a  
7-18-2*

## PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 09343	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/01588	International filing date (day/month/year) 15 March 2000 (15.03.00)	Priority date (day/month/year) 17 March 1999 (17.03.99)
International Patent Classification (IPC) or national classification and IPC H01L 21/205		
Applicant MITSUBISHI CABLE INDUSTRIES, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 4 sheets, including this cover sheet.

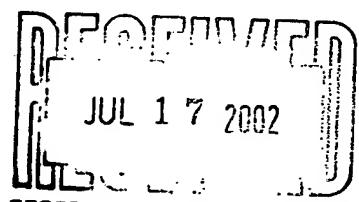
This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of \_\_\_\_\_ sheets.

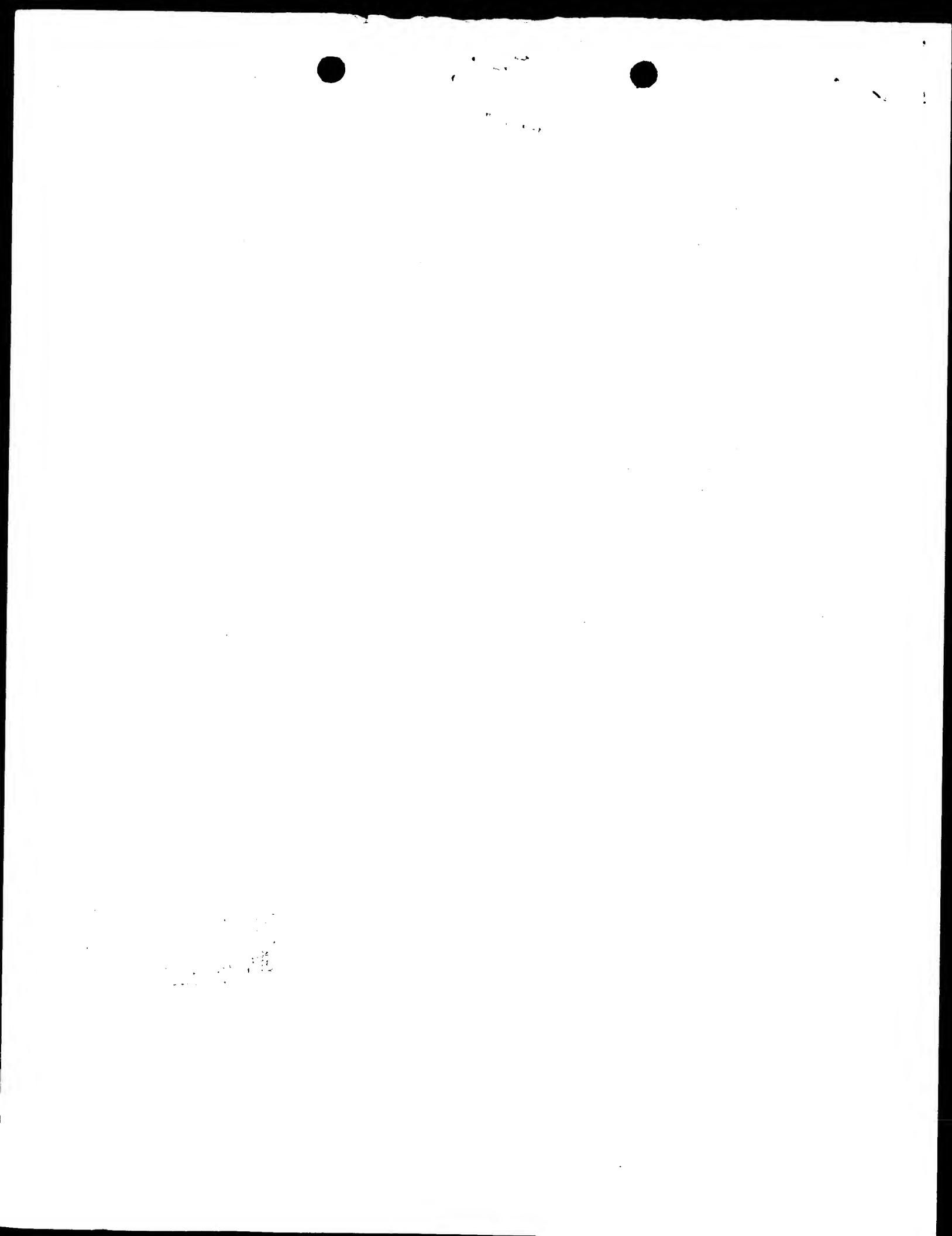
3. This report contains indications relating to the following items:

- I  Basis of the report
- II  Priority
- III  Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV  Lack of unity of invention
- V  Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI  Certain documents cited
- VII  Certain defects in the international application
- VIII  Certain observations on the international application

*SEARCHED  
JUL 15 2001  
CFC/CL  
RECEIVED  
JUL 17 2001*



Date of submission of the demand 13 October 2000 (13.10.00)	Date of completion of this report 14 June 2001 (14.06.2001)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.



## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01588

## I. Basis of the report

1. With regard to the elements of the international application:<sup>\*</sup> the international application as originally filed the description:

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, as amended (together with any statement under Article 19) \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

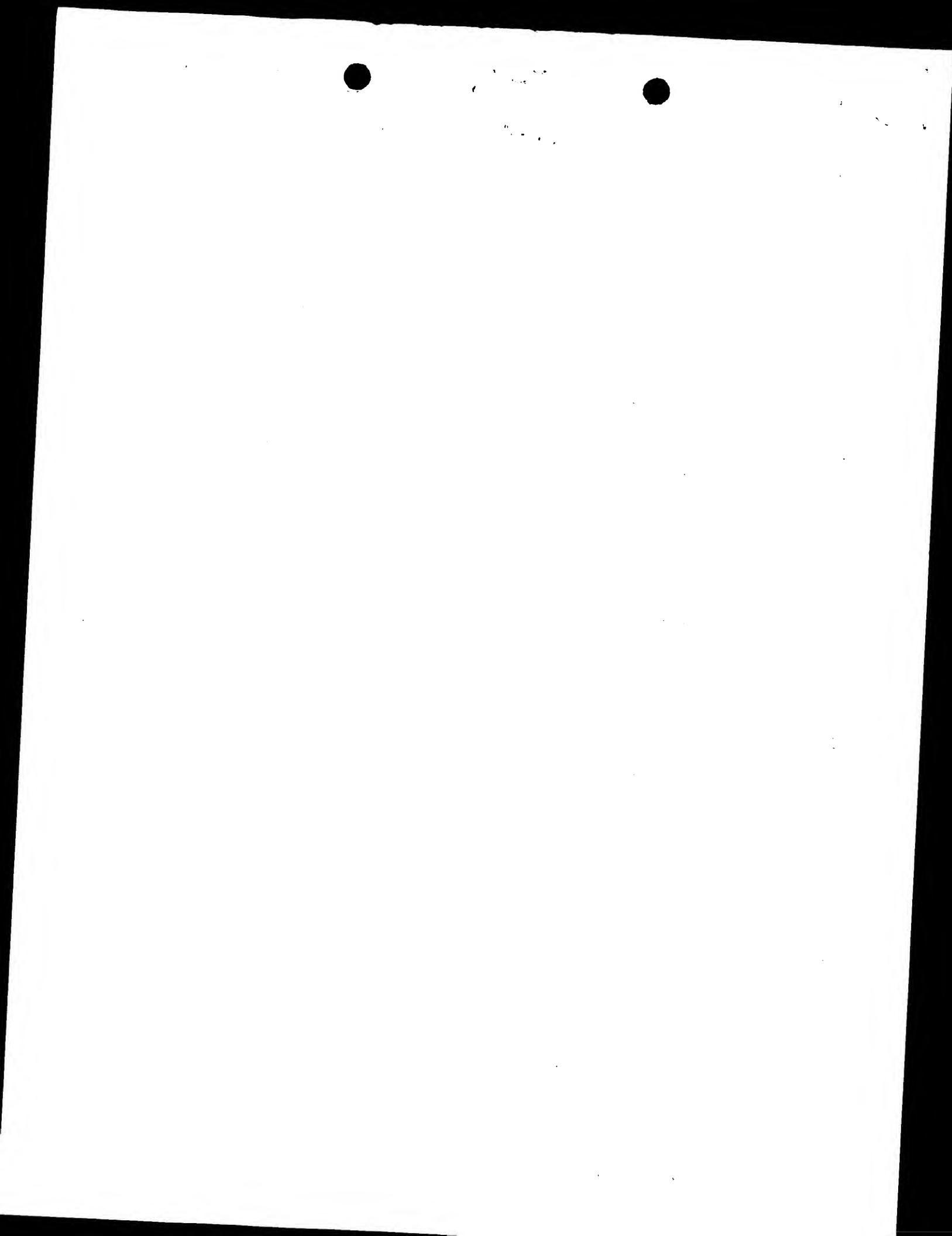
 the language of a translation furnished for the purposes of international search (under Rule 23.1(b)). the language of publication of the international application (under Rule 48.3(b)). the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

 contained in the international application in written form. filed together with the international application in computer readable form. furnished subsequently to this Authority in written form. furnished subsequently to this Authority in computer readable form. The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished. The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.4.  The amendments have resulted in the cancellation of: the description, pages \_\_\_\_\_ the claims, Nos. \_\_\_\_\_ the drawings, sheets/fig \_\_\_\_\_5.  This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.



## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01588

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

## 1. Statement

Novelty (N)

Claims \_\_\_\_\_ 1-21 YES

NO

Claims \_\_\_\_\_

Inventive step (IS)

Claims \_\_\_\_\_ 1-21 YES

NO

Claims \_\_\_\_\_

Industrial applicability (IA)

Claims \_\_\_\_\_ 1-21 YES

NO

Claims \_\_\_\_\_

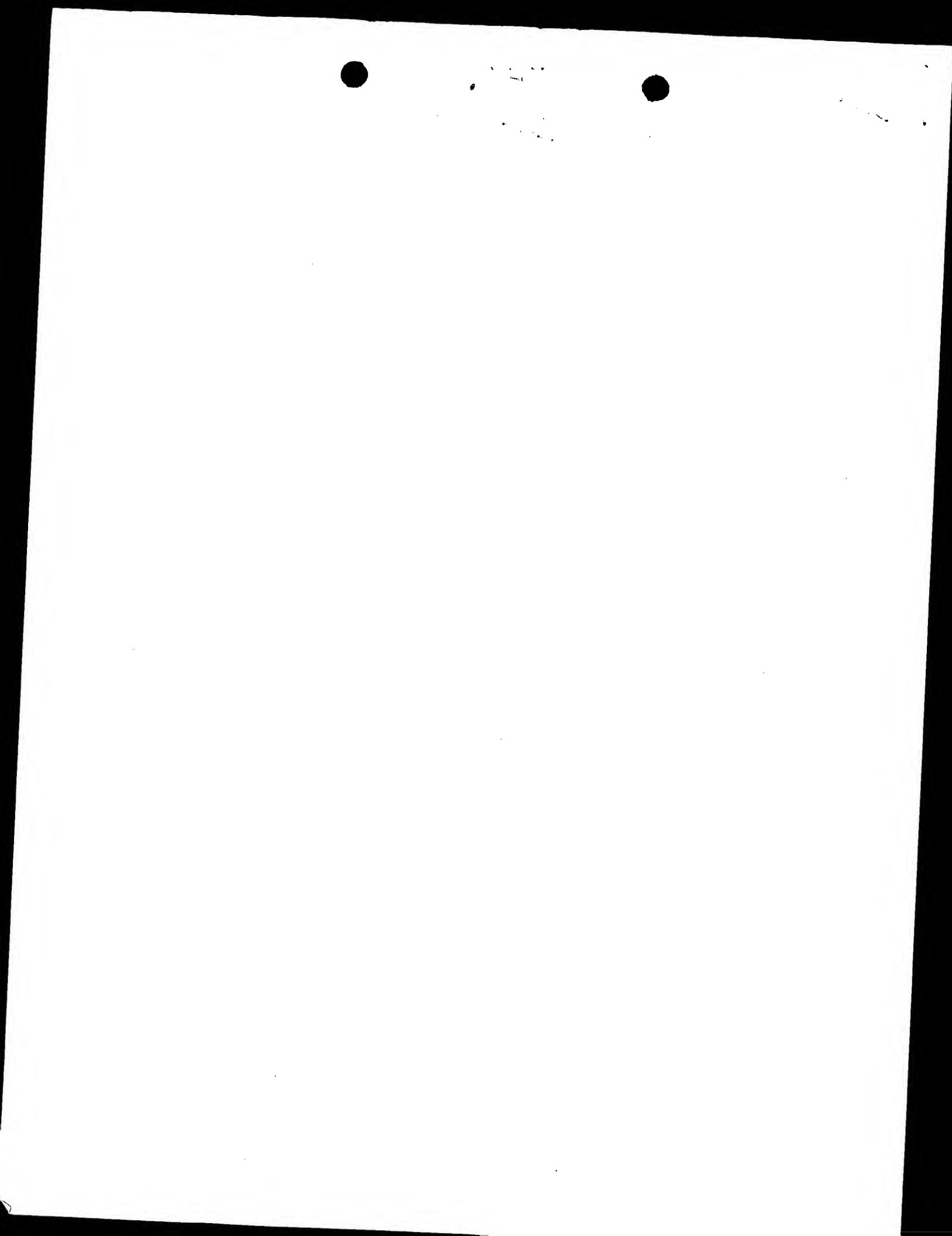
## 2. Citations and explanations

Document 1: JP, 5-267175, A (Sumitomo Metal Industries, Ltd.), 15 October, 1993 (15.10.93)  
Document 2: JP, 10-321522, A (Nippon Telegraph and Telephone Corp.), 4 December, 1998 (04.12.98)

## Claims 1-21

The subject matters of claims 1-21 appear to involve an inventive step in view of documents 1 and 2 cited in the ISR.

Documents 1 and 2 do not describe that the crystal growth surface of a substrate is processed to have projections and depressions, or that the semiconductor crystal grows exclusively from the upper portions of the projections of the surface having projections and depressions. On the other hand, the invention of the present application with this constitution exhibits an advantageous effect that the production process can be simplified.



**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International application No.

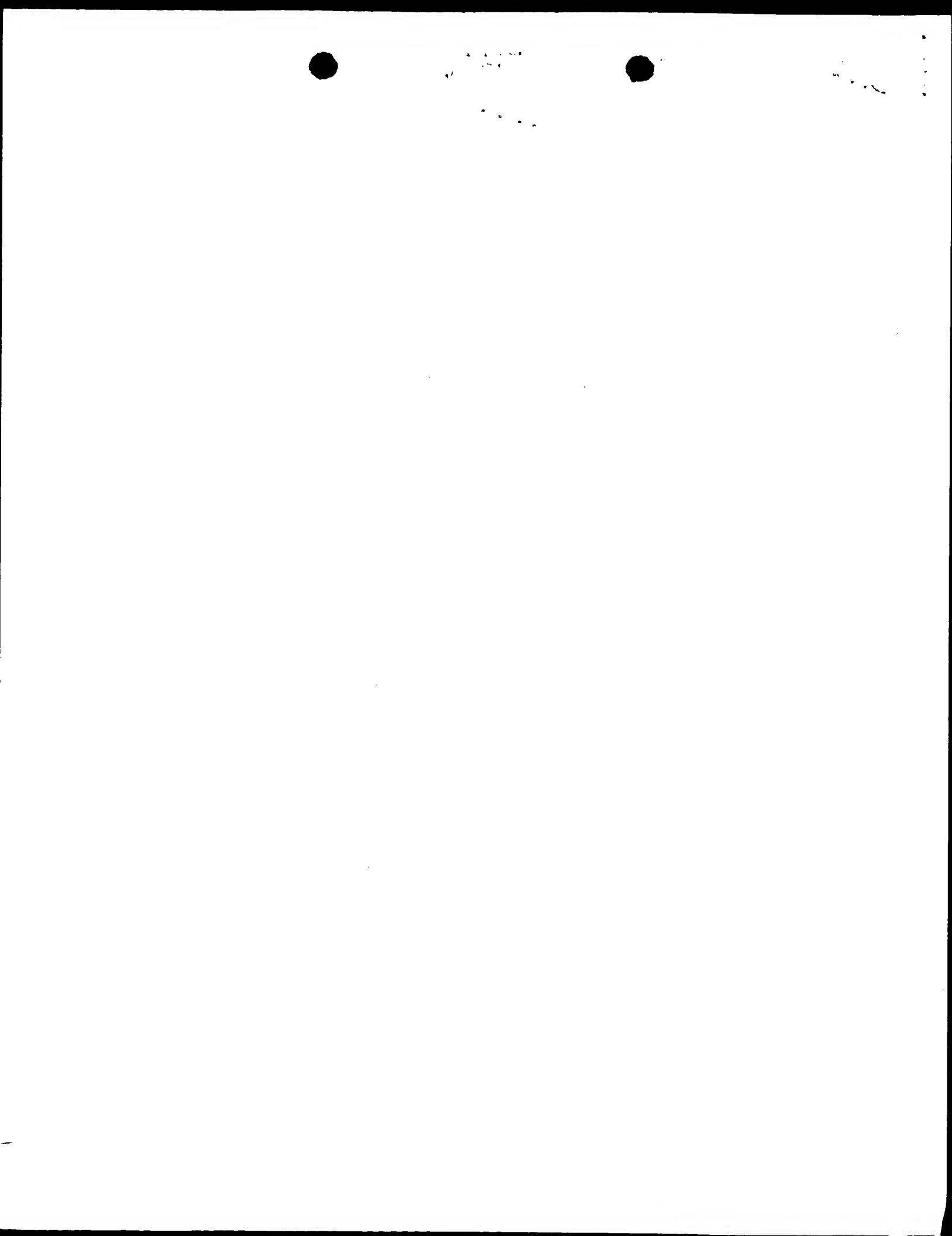
PCT/JP00/01588

**VI. Certain documents cited****1. Certain published documents (Rule 70.10)**

Application No. Patent No.	Publication date (day/month/year)	Filing date (day/month/year)	Priority date (valid claim) (day/month/year)
JP,2000-106455,A	11 April 2000 (11.04.2000)	30 July 1999 (30.07.1999)	31 July 1998 (31.07.1998)

**2. Non-written disclosures (Rule 70.9)**

Kind of non-written disclosure	Date of non-written disclosure (day/month/year)	Date of written disclosure referring to non-written disclosure (day/month/year)



## 特許協力条約

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
(PCT36条及びPCT規則70)

REC'D 29 JUN 2001

WIPO PCT

出願人又は代理人 の書類記号 09343	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JP00/01588	国際出願日 (日.月.年) 15.03.00	優先日 (日.月.年) 17.03.99
国際特許分類 (IPC) Int. Cl' H01L 21/205		
出願人 (氏名又は名称) 三菱電線工業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

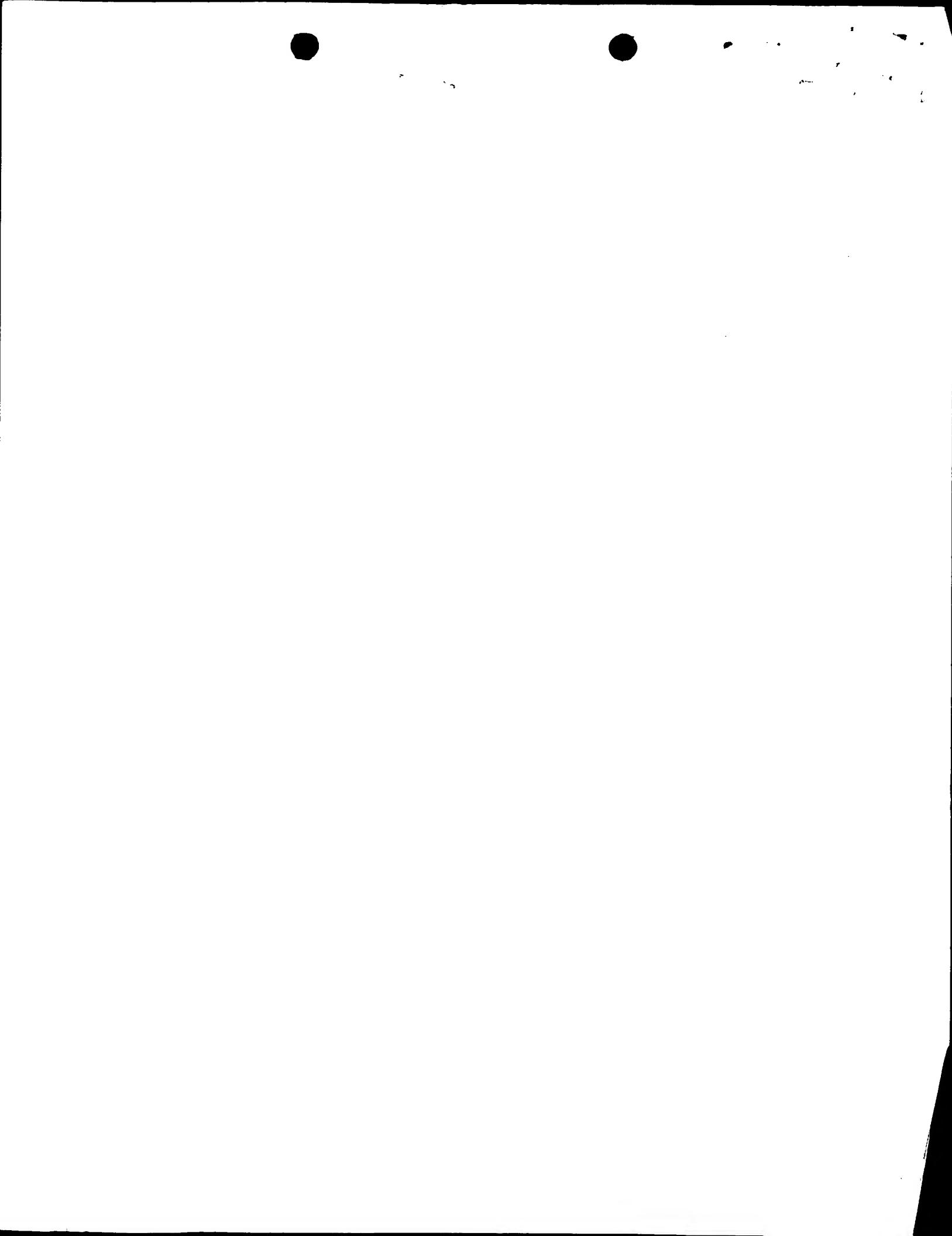
この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対しても訂正を含む明細書、請求の範囲及び／又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で        ページである。

3. この国際予備審査報告は、次の内容を含む。

- I  国際予備審査報告の基礎
- II  優先権
- III  新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV  発明の單一性の欠如
- V  PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI  ある種の引用文献
- VII  国際出願の不備
- VIII  国際出願に対する意見

RECEIVED  
MAY - 9 2002  
TECHNOLOGY CENTER 2800

国際予備審査の請求書を受理した日 13.10.00	国際予備審査報告を作成した日 14.06.01
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 加藤 浩一 電話番号 03-3581-1101 内線 3470
	4R 2929



## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。（法第6条（PCT14条）の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。PCT規則70.16, 70.17）

 出願時の国際出願書類

<input type="checkbox"/>	明細書 第 _____	ページ、	出願時に提出されたもの
<input type="checkbox"/>	明細書 第 _____	ページ、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	明細書 第 _____	ページ、	付の書簡と共に提出されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	出願時に提出されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	PCT19条の規定に基づき補正されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	付の書簡と共に提出されたもの
<input type="checkbox"/>	図面 第 _____	ページ/図、	出願時に提出されたもの
<input type="checkbox"/>	図面 第 _____	ページ/図、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	図面 第 _____	ページ/図、	付の書簡と共に提出されたもの
<input type="checkbox"/>	明細書の配列表の部分 第 _____	ページ、	出願時に提出されたもの
<input type="checkbox"/>	明細書の配列表の部分 第 _____	ページ、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	明細書の配列表の部分 第 _____	ページ、	付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
- PCT規則48.3(b)にいう国際公開の言語
- 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

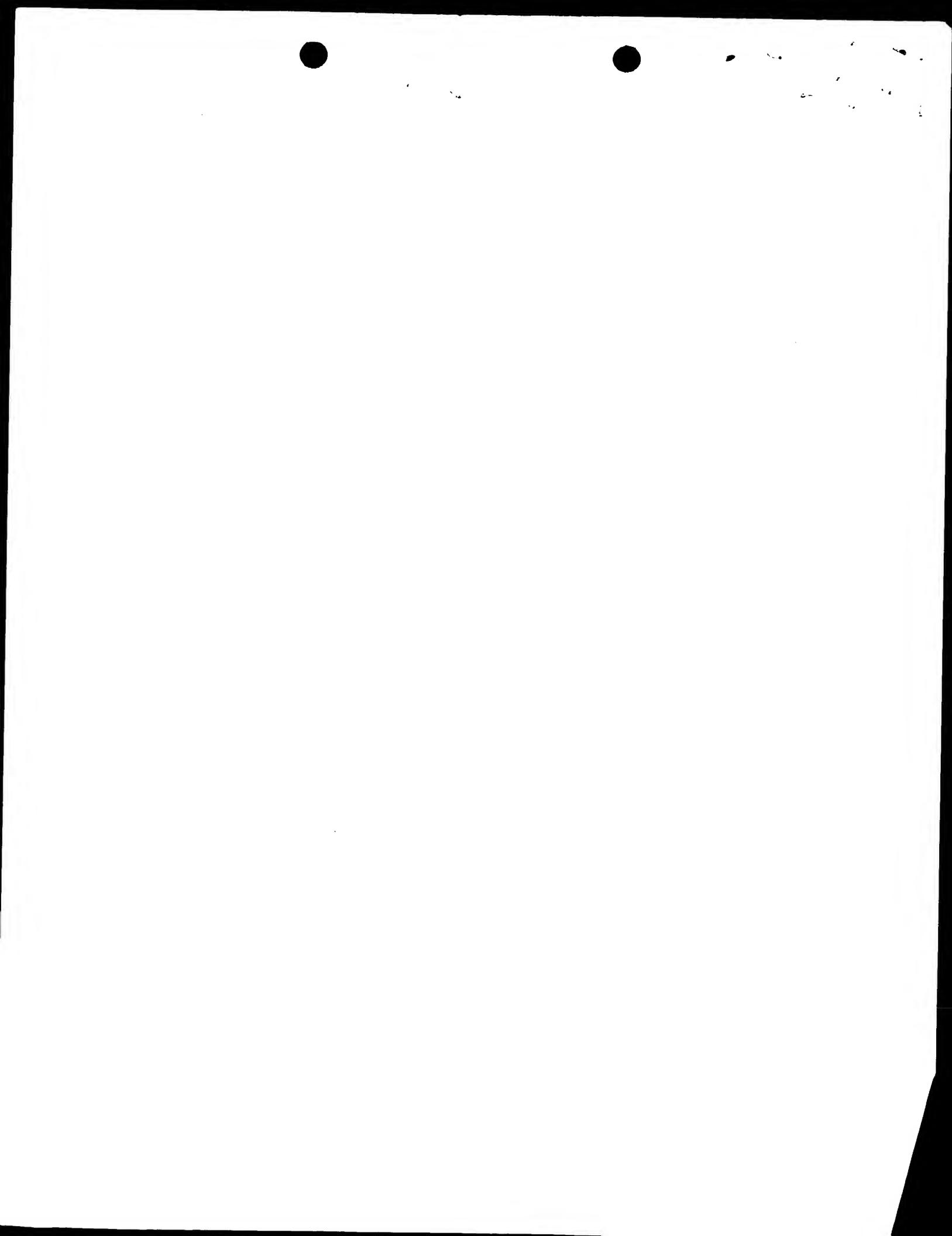
3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- この国際出願に含まれる書面による配列表
- この国際出願と共に提出されたフレキシブルディスクによる配列表
- 出願後に、この国際予備審査（または調査）機関に提出された書面による配列表
- 出願後に、この国際予備審査（または調査）機関に提出されたフレキシブルディスクによる配列表
- 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
- 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- 明細書 第 \_\_\_\_\_ ページ
- 請求の範囲 第 \_\_\_\_\_ 項
- 図面 図面の第 \_\_\_\_\_ ページ/図

5.  この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかつたものとして作成した。（PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。）



V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性 (N)	請求の範囲 請求の範囲	1 - 2 1	有 無
進歩性 (I S)	請求の範囲 請求の範囲	1 - 2 1	有 無
産業上の利用可能性 (I A)	請求の範囲 請求の範囲	1 - 2 1	有 無

## 2. 文献及び説明 (PCT規則70.7)

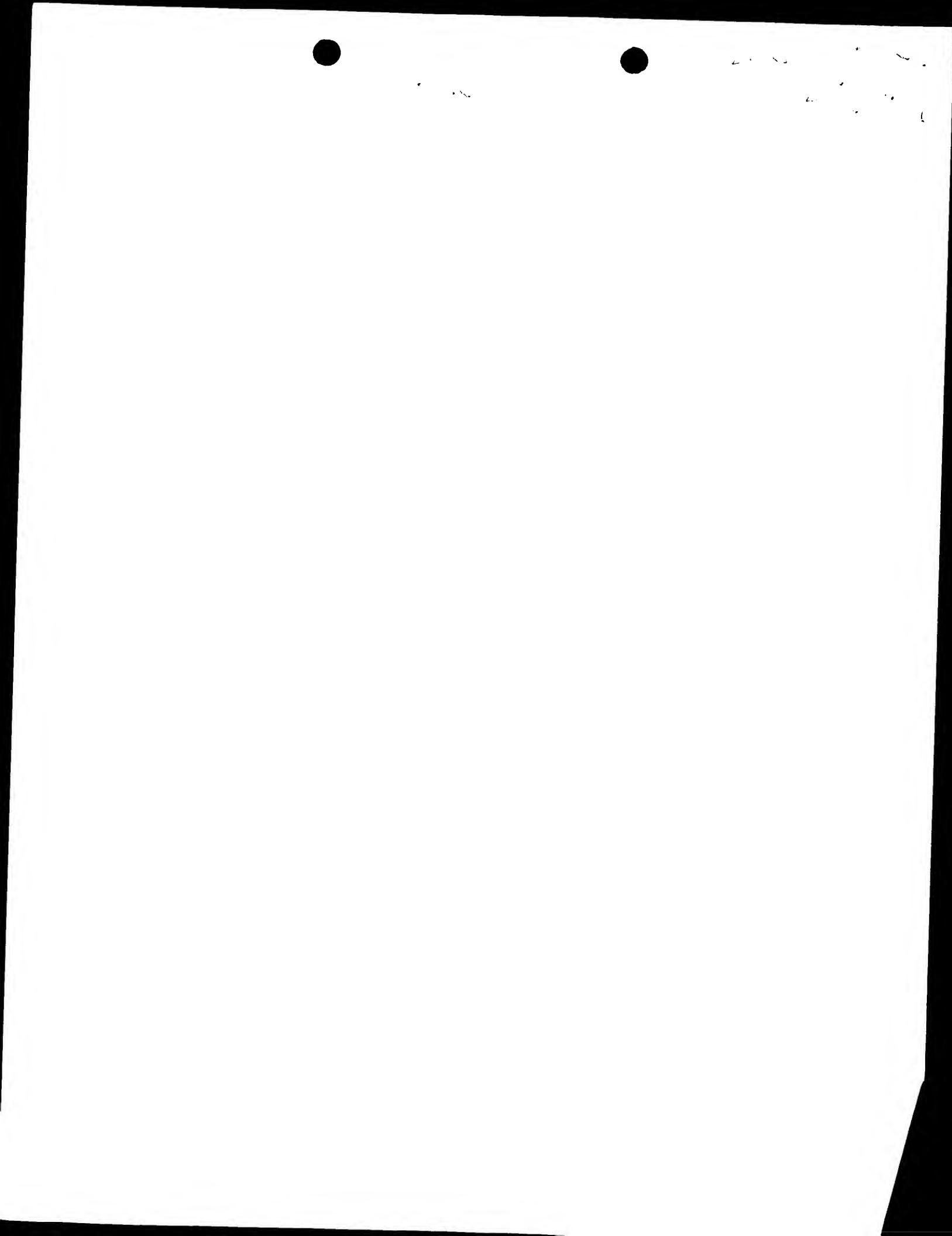
文献1 : J P, 5-267175, A (住友金属工業株式会社)

15. 10月. 1993 (15. 10. 93)

文献2 : J P, 10-321522, A (日本電信電話株式会社)

4. 12月. 1998 (04. 12. 98)

請求の範囲 1 - 2 1  
請求の範囲 1 - 2 1に記載された発明は、国際調査報告で引用された文献1-2に  
 対して進歩性を有する。  
 文献1-2には、基板の結晶成長面が凹凸面とされ、半導体結晶は該凹凸面における  
 凸部の上方部から専ら結晶成長することが記載されておらず、一方、本願発明はそれ  
 により、製造工程の簡略化を図るという有利な効果を發揮する。



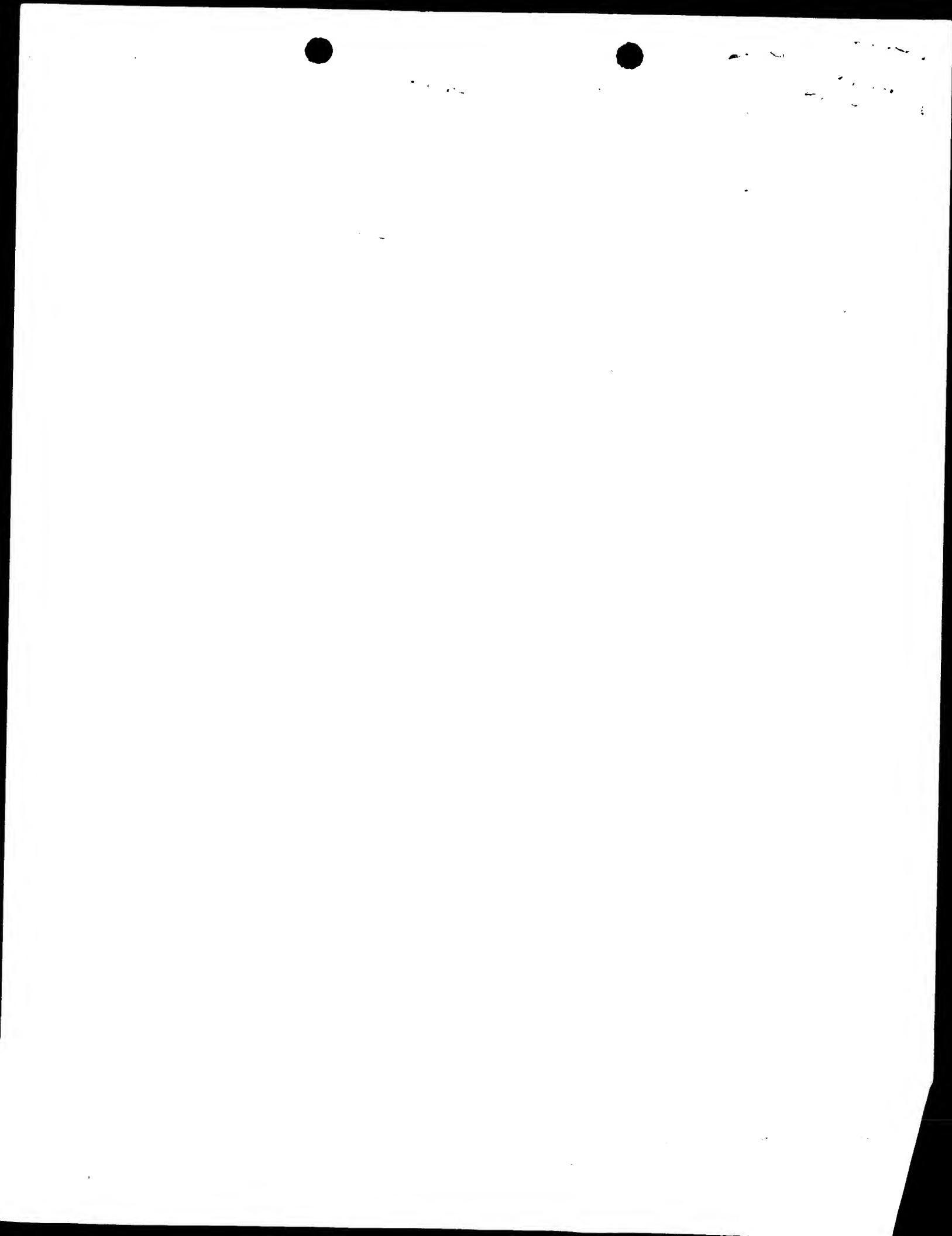
## VI. ある種の引用文献

## 1. ある種の公表された文書 (PCT規則70.10)

出願番号 特許番号	公知日 (日.月.年)	出願日 (日.月.年)	優先日 (有効な優先権の主張) (日.月.年)
JP, 2000-106455, A	11.04.00	30.07.99	31.07.98

## 2. 書面による開示以外の開示 (PCT規則70.9)

書面による開示以外の開示の種類	書面による開示以外の開示の日付 (日.月.年)	書面による開示以外の開示に言及している 書面の日付 (日.月.年)



PCT

世界知的所有権機関  
国際事務局

## 特許協力条約に基づいて公開された国際出願

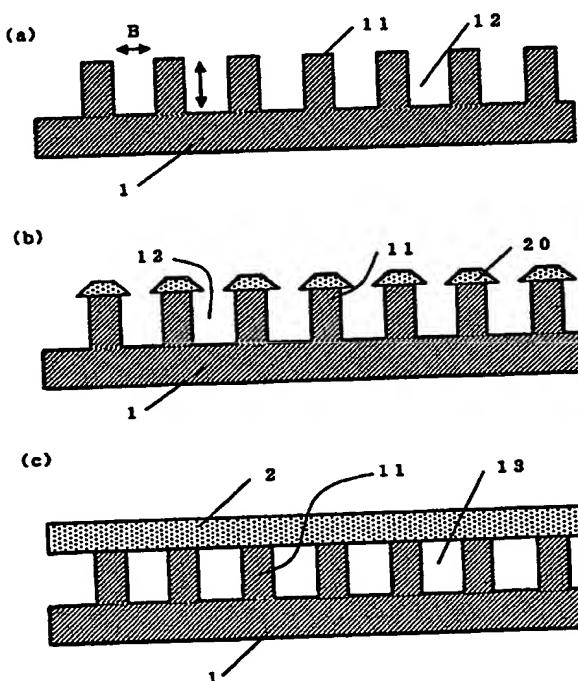
(51) 国際特許分類7 H01L 21/205	A1	(11) 国際公開番号 WO00/55893
		(43) 国際公開日 2000年9月21日(21.09.00)
(21) 国際出願番号 PCT/JP00/01588		
(22) 国際出願日 2000年3月15日(15.03.00)		
(30) 優先権データ 特願平11/72133 特願平11/335591 特願平11/336421 特願平11/353044	1999年3月17日(17.03.99) JP 1999年11月26日(26.11.99) JP 1999年11月26日(26.11.99) JP 1999年12月13日(13.12.99) JP	(74) 代理人 高島 一(TAKASHIMA, Hajime) 〒541-0046 大阪府大阪市中央区平野町三丁目3番9号 (湯木ビル) Osaka, (JP)
(71) 出願人(米国を除くすべての指定国について) 三菱電線工業株式会社 (MITSUBISHI CABLE INDUSTRIES, LTD.)[JP/JP] 〒660-0856 兵庫県尼崎市東向島西之町8番地 Hyogo, (JP)		(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
(72) 発明者; および (75) 発明者/出願人(米国についてのみ) 只友一行(TADATOMO, Kazuyuki)[JP/JP] 岡川広明(OKAGAWA, Hiroaki)[JP/JP] 大内洋一郎(OUCHI, Yoichiro)[JP/JP] 湖東雅弘(KOTO, Masahiro)[JP/JP] 〒664-0027 兵庫県伊丹市池尻4丁目3番地 三菱電線工業株式会社 伊丹製作所内 Hyogo, (JP)		(添付公開書類 国際調査報告書)

(54) Title: SEMICONDUCTOR BASE AND ITS MANUFACTURING METHOD, AND SEMICONDUCTOR CRYSTAL MANUFACTURING METHOD

(54) 発明の名称 半導体基材とその製造方法、および半導体結晶の製造方法

## (57) Abstract

The growth surface of a substrate (1) is processed to have projections and recesses. The bottoms of the recesses may be covered with a mask. When a crystal is grown by vapor deposition by using this substrate, the material gas does not enter sufficiently into the recesses (12), and the crystal growth occurs only from the tops of the projections (11). As shown in Figure 1(b), crystal units (20) are produced at the initial stage of the crystal growth. As the crystal growth progresses, the crystal units grow laterally from the tops of the projections (11) and join one another to form a film. In due course, a crystal layer (2) covering the projections and recesses of the substrate (1) is formed leaving cavities (13) of the recesses, as shown in Figure 1(c). Thus a semiconductor substrate of the invention is produced. A low-dislocation region is formed at the portions grown laterally, that is, at the upper parts of the recesses (12), and the produced crystal layer has a high quality. A method of producing a semiconductor crystal comprises separating a semiconductor base into a substrate (1) and a crystal layer (2) at its cavity portion.



基板 1 の成長面を凹凸に加工する。凹部の底面にはマスクを施してもよい。この基板を用いて結晶を気相成長させると、原料ガスは凹部 1 2 内には十分至らず、凸部 1 1 の上方部からしか結晶成長が起こらない。従って図 1 (b) に示すように、結晶成長開始時には結晶単位 2 0 が発生し、さらに結晶成長を続けると凸部 1 1 の上方部を起点とし横方向に成長した膜がつながって、やがて図 1 (c) 図のように凹部に空洞部 1 3 を残したまま、基板 1 の凹凸面を覆い結晶層 2 となり、本発明の半導体基材が得られる。この場合、横方向に成長した部分、つまり凹部 1 2 上部には低転位領域が形成され、作製された結晶層は高品質化している。本発明の半導体結晶の製造方法は、前記半導体基材をその空洞部分において、基板 1 と結晶層 2 とに分断し、半導体結晶を得る方法である。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)			
AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンティグア・バーブーダ	DZ アルジェリア	L C セントルシア	SD スーダン
AL アルバニア	EE エストニア	L I リヒテンシュタイン	SE スウェーデン
AM アルメニア	ES スペイン	L K スリ・ランカ	SG シンガポール
AT オーストリア	FI フィンランド	L R リベリア	SI スロヴェニア
AU オーストラリア	FR フランス	L S レソト	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	L T リトアニア	SL シエラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	L U ルクセンブルグ	SN セネガル
BB バルバドス	GD グレナダ	L V ラトヴィア	SZ スワジ蘭
BE ベルギー	GE グルジア	MA モロッコ	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴー
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BY ベラルーシ	GW ギニア・ビサオ	共和国	TT トリニダッド・トバゴ
CA カナダ	HR クロアチア	ML マリ	TZ タンザニア
CF 中央アフリカ	HU ハンガリー	MN モンゴル	UA ウクライナ
CG コンゴー	ID インドネシア	MR モーリタニア	UG ウガンダ
CH スイス	IE アイルランド	MW マラウイ	US 米国
CI コートジボアール	IL イスラエル	MX メキシコ	UZ ウズベキスタン
CM カメルーン	IN インド	MZ モザンビーク	VN ベトナム
CN 中国	IS アイスランド	NE ニジェール	YU ユーゴスラヴィア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノルウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュー・ジーランド	
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

## 明細書

## 半導体基材とその製造方法、および半導体結晶の製造方法

## 技術分野

本発明は、半導体基材、半導体結晶、及びそれらの作製方法に関し、特に転位欠陥が生じ易い半導体材料を用いる場合に有用な構造及び方法に関するものである。

## 背景技術

GaN系材料を結晶成長する場合、GaN系材料は格子整合する基板がないためにサファイア、SiC、スピネル、最近ではSiなどの格子整合しない基板を用いている。しかしながら、格子整合しないことに起因し作製したGaNの膜中には、 $10^{10}$ 個/ $\text{cm}^2$ もの転位が存在している。近年高輝度の発光ダイオード、半導体レーザーなどが実現されているが、特性向上を図るために転位密度の低減が望まれている。

格子定数などの差に起因した転位などの欠陥を生じさせないためには、結晶成長する材料と同じ結晶を用いればよい。例えばGaN系半導体を結晶成長させるにはGaN基板を用いるとよいが、まだ大型のものが得られておらずサファイアなどを基板として用いているのが実状である。近年、サファイア上に成長したGaN下地層上に気相成長するにあたり、前記下地層に部分的なマスクを設けて選択成長する事でラテラル方向の結晶成長を行わせ、転位密度を低減した高品質な結晶を得る方法が提案されている（例えば特開平10-312971号）。この膜を厚く成長し基板を分離除去する事でGaN結晶を得る事ができるが、格子定数の差や熱膨張係数の差によりクラックが発生したり、基板が割れるといった問題が生じ大面積の基板が得られていなかった。

また上記特開平10-312971号公報では、転位密度を低減した膜を得る方法が開示されているが、マスク層上にラテラル方向成長された部分において、ラテラル成長方向にC軸が微小量ながら傾斜するといった問題が生じ、これにより結晶品質が低下するという新たな問題が有ることが判明した（MRS 1998 Fall）。

Meeting 予稿集 G3.1)。これは、X線ロッキングカーブ測定 (XRC) の入射方位依存性を測定 (θスキャン) することでも確認できる。即ち、ラテラル成長方向からの入射X線によるX線ロッキングカーブの半値全幅 (FWHM) は、マスク層のストライプ方向からのX線によるFWHM値より大きくなっている、C軸の微小傾斜 (チルティング) に方位依存性がある事を示している。この事は、マスク上のラテラル成長の合体部分に新たな欠陥を多数誘起する可能性を示唆している。

また、マスク層材料として汎用されているものは  $\text{SiO}_2$  なのであるが、その上に結晶成長層が積重されると Si 成分がこの結晶成長層中に移行するという、いわゆるオートドーピング汚染の問題があることも判明した。

さらに、Al を含む半導体材料、例えば AlGaN を  $\text{SiO}_2$  マスク層付き基板上に成長させた場合、マスク層上にも結晶成長し、選択成長自体が効果的に行えないという問題もあった。

このような問題を解消する試みとして、SiC のベース基板上にバッファ層及び GaN 層を設けた基板に対して、SiC 層にまで至るストライプ溝加工を施して凸部を形成し、この凸部の上方部に位置することになる GaN 層から結晶成長させる方法が提案されている (MRS 1998 Fall Meeting 予稿集 G3.38)。この方法によれば  $\text{SiO}_2$  マスク層無しで選択成長させる事も出来、上述の  $\text{SiO}_2$  マスクを用いることに起因する各種の問題を解消することが可能となる。

上記方法は、ベース基板としてサファイア基板を使用する事ができその方法も開示されている (例えば、特開平 11-191659 号公報)。しかしながら上記方法では、サファイアベース基板上にバッファ層材料ならびに GaN 系材料を結晶成長させ、一旦成長炉から取り出し溝加工を施し、その後再び結晶成長を行うというステップが必要となることから、製造プロセスが複雑化するという新たな不都合が発生し、作業工程が多くなりコストがかかるなどの問題を有していた。

また (応用物理学会 99 秋予稿集 2 P-W-8) では GaN 基板に段差をつけ

埋め込み成長をすることで低転位密度領域を得る試みも開示されている。ここでは埋め込んだ層の一部に低転位密度領域が形成されている。

しかしながら上記方法では、低転位密度領域を得るためにには、凸部の間隔を広げる必要、もしくは凹部の深さを深くする必要があった。このようにするために埋め込みに時間をかけ厚く成長をする必要があり、厚膜化に伴うクラックの発生、時間がかかるためコストがかかる、など種々の問題を内在していた。

また Si 基板上に GaN 系材料を結晶成長する試みもなされているが、GaN 系結晶を成長すると熱膨張係数差に起因した反りやクラックが発生し良質の結晶成長を行えない問題があった。

従って本発明は上記問題に鑑み、通常のマスク層を用いる ELO 成長に起因する種々の問題を回避し、かつ製造工程の簡略化を図ることを目的としている。また、本発明は、マスクを持たない段差構造の埋め込み成長に起因した問題を解決する事を目的としている。また、本発明は、従来困難であった AlGaN の選択成長ができない問題を解決する事を目的としている。また、本発明は、Si 基板等を用いた場合の反りやクラックの発生を押さえることを目的としている。

本発明は上記問題に鑑み、大面積の GaN 結晶を得る事を目的にしている。また通常のマスク層を用いる ELO 成長に起因する種々の問題を回避し、かつ製造工程の簡略化を図ることを目的としている。

### 発明の開示

本発明の半導体基材は、基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、前記半導体結晶は該凹凸面における凸部の上方部から専ら結晶成長されたものであることを特徴とするものである。

この場合、上記半導体結晶が InGaN であることが望ましい。

上記基板の結晶成長面の凸部を、平行なストライプ形状からなる凸部とすることが好ましい。

さらに、上記半導体結晶が InGaN であって、かつストライプの長手方

向が該 In Ga Al N 結晶の (1 - 1 0 0) 面と平行であるストライプとすることがより好ましい。

本発明にかかるより具体的な半導体基材は、基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、前記半導体結晶は該凹凸面における凸部の上方部から専ら結晶成長された半導体基材において、前記凹凸面が成長された半導体結晶で覆われており、この半導体結晶の層と前記凹凸面における凹部との間には空洞部が形成されていることを特徴とするものである。

また、上記基板の凹凸面の凹部は、その層からは実質的に結晶成長し得ないマスクで覆われ、上記半導体結晶が、上記基板の凹凸面の凸部の上方部から専ら結晶成長したものであってもよい。

また、当該半導体基材を、基板の結晶成長面を凹凸面とし、気相成長法により前記凹凸面における凸部の上方部から専ら結晶成長されることで形成された第一の半導体結晶の層と、この第一の半導体結晶の層の表面を凹凸面とし、同様にその凸部の上方部から専ら結晶成長されることで形成された第二の半導体結晶の層とからなる構成とすることもできる。

また、当該半導体基材を、基板の結晶成長面を凹凸面とし、凹部をその層からは実質的に結晶成長し得ないマスクで覆い、気相成長法により前記凹凸面における凸部の上方部から専ら結晶成長されることで形成された第一の半導体結晶の層と、この第一の半導体結晶の層の表面を凹凸面とし、同様に凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その凸部の上方部から専ら結晶成長されることで形成された第二の半導体結晶の層とからなる構成とすることもできる。

さらに、前記半導体基材における第二の半導体結晶の層の表面を凹凸面とし、その上に同様に気相成長法により形成された第三の半導体結晶の層乃至は同様の工程を繰り返すことで多重的に形成された複数の半導体結晶の層を具備させるようにも良い。

さらに、上記半導体基材における第二の半導体結晶の層の表面を凹凸面とし、凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その上に同様に気相成長法により形成された第三の半導体結晶の層乃至は同様の工程を繰り返すことで多重的に形成された複数の半導体結晶の層を具備させるようにしても良い。

本発明の半導体基材の製造方法は、基板上に半導体結晶を気相成長させるにあたり、予め基板表面に凹凸面加工を施し、次いで該基板に対して原料ガスを供給し、前記凹凸面における凸部の上方部から専ら結晶成長される半導体結晶にて前記基板の凹凸面を覆うことを特徴とする。

また、上記製造方法では、上記基板の凹凸面の凹部をその層からは実質的に結晶成長し得ないマスクで覆い、次いで該基板に対して原料ガスを供給し、前記凹凸面における凸部の上方部から専ら結晶成長される半導体結晶にて前記基板の凹凸面を覆ってもよい。

本発明の半導体結晶の製造方法は、基板の結晶成長面を凹凸面とし、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面が半導体結晶で覆われると共に、この半導体結晶の層と前記凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において半導体結晶部と基板とを分離することを特徴とするものである。この場合、上記半導体結晶が InGaAlN であることが望ましい。

本発明による半導体結晶の製造方法では、本発明の半導体基材の製造方法と同様に、半導体結晶を形成する工程を複数回繰り返すようにしても良い。また、凹部をその層からは実質的に結晶成長し得ないマスクで覆ってもよい。

#### 図面の簡単な説明

図1は、本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。図中、1は基板、11は凸部、12は凹部、13は空洞部、2は半導体結晶層である。

図2は、本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

図3は、本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

図4は、XRCのθスキャンデーターを示すグラフ図である。

図5は、本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

図6は、本発明に係る半導体基材の結晶成長状態、および本発明に係る半導体結晶の製造方法を説明するための断面図である。図中、3はマスクである。

図7は、本発明に係る半導体基材の結晶成長状態、および本発明に係る半導体結晶の製造方法を説明するための断面図である。

図8は、本発明に係る半導体基材の結晶成長状態を説明するための断面図である。

図9は、本発明に係る半導体基材の結晶成長状態を説明するための断面図である。

図10は、本発明に係る半導体結晶の製造方法の他の実施例を説明するための断面図である。

#### 発明の詳細な説明

本発明は、バッファ層等すら形成していない状態の基板に対して凹凸面を設けることで、結晶成長当初から実質的に低転位領域を形成可能なラテラル成長を起こす素地面を予め提供しておく点に特徴を有する。基板をこのように構成して、結晶を気相成長させた場合、成長初期には基板表面全体で結晶成長が起こり得るが、やがて凸部の上方部での成長が優位となり、この結果凸部に原材料が拡散しにくくなり、ひいては凸部の上方部から専ら成長された層にて上記の凹凸面が覆われるというものである。この凸部を起点とした成長では、C軸と垂直方向のいわゆるラテラル成長が起き、実質的に低転位領域の形成がマスク層レス（従来のようにマスク層を用いることなしに）で達成されることになる。このように、基板に凹凸面を形成するだけで、バッファ層成長を行い続いてGaN層成長を行うといったように成長を連続して行うことができる。

また、凹部の底面にマスクを設ける様にすれば、凹部での成長を抑えることができるため、ラテラル成長の効率が良くなり、凹部を覆うのに要する厚みが薄くて済むという利点がある。

本発明の半導体結晶の製造方法は、上記半導体基材の製造方法と同じプロセスで半導体結晶を成長させる点に、第一の特徴を有する。上記したように、基板の凹部での結晶成長を抑えることができる結果、基板と半導体結晶との間に空洞部が形成されることになる。従って、基板と半導体結晶との接触面積を少なくできるため、格子定数差や熱膨張係数差に起因する歪を大幅に低減する事が可能となる。この点が本発明の半導体結晶の製造方法の第二の特徴である。このためクラックや割れの発生を抑えることができ、大面積の半導体結晶を得る事ができるようになる。加えて、上記歪は基板と半導体結晶の接触部分に集中するため、基板と半導体結晶の分離が効率良く行えるという特徴も有するものである。

以下図面を参照し、本発明の実施態様につき詳細に説明する。

図1 (a)～(c)、図6 (a)～(c)は、本発明に係る半導体基材の結晶成長状態を説明するための断面図である。また、図6 (a)～(d)は、本発明に係る半導体結晶の製造方法を説明するための断面図である。

図において、1は基板であり、2は該基板1上に気相成長された半導体結晶をそれぞれ示している。基板1の結晶成長面には凸部11及び凹部12が形成されており、前記凸部11の上方部から専ら結晶成長が行われるよう構成されている。また、図6の態様では、凹部12は、その層からは実質的に成長し得ないマスク3で覆われている。

本発明でいう基板とは、各種の半導体結晶層を成長させるためのベースとなる基板であって、格子整合のためのバッファ層等も未だ形成されていない状態のものを言う。このような基板としては、サファイア (C面、A面、R面)、SiC (6H、4H、3C)、GaN、Si、スピネル、ZnO、GaAs、NGOなどを用いることができるが、発明の目的に対応するならばこのほかの材料を用いてもよい。またこれら基板からoffしたものを用いてもよい。

基板1上に成長される半導体結晶としては種々の半導体材料を用いることができる、 $\text{Al}_x\text{Ga}_{1-x-y}\text{In}_y\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ) では、 $x$ 、 $y$ の組成比を変化させた $\text{GaN}$ 、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{N}$ などが例示できる。

中でも、 $\text{AlGaN}$ 等の $\text{Al}$ を含有する半導体材料の場合、従来のマスク方式では $\text{SiO}_2$ マスク層上に成長するという問題があったが、本発明によるとマスクレス化によりかかる問題が解消されるため、従来できなかつた $\text{AlGaN}$ のラテラル成長が可能となり低転位で高品質な膜の成長が基板直上から可能となる。このため紫外線発光素子等で問題となる $\text{GaN}$ 層による光吸収がなくなり応用上特に好適である。

基板1の結晶成長面に形成される凸部11は、その上方部から専ら結晶成長が行われるような形状とすると有効である。「上方部から専ら結晶成長が行われる」とは、凸部11の頂点ないし頂面及びその近傍での結晶成長が優勢に行い得る状態をいい、成長初期には凹部での成長が生じてもよいが最終的には凸部11の結晶成長が優勢となることを指す。つまり上方部を起点としたラテラル成長により低転位領域が形成されれば、従来のマスクを要するELOと同様の効果がある。これが本発明ではマスクレスで成長可能である事が特徴である。

また、図6～図10に示す態様において、凹部12上に作製するマスク3は、その層からは実質的に結晶成長し得ない作用を果たしていればよい。「その層からは実質的に成長し得ない」とは結晶成長が生じ難い状態のことをいい、成長初期には凹部マスク上での成長が生じてもよいが最終的には凸部11の結晶成長が優勢となることを指す。

つまり上方部を起点としたラテラル成長により低転位密度領域が形成されれば、従来のマスクを要するELOと同様の効果がある。これが本発明では基板の加工のみで、結晶成長一回で低転位密度領域を形成できる点に特徴がある。

図1～3、図6～8は、凸部11をストライプ状に形成したものの横断面図である。先ず、図1、図6では、図1(a)、図6(a)に示すように、溝幅Bに対

し溝深さ（凸部高さ） $h$ が深い基板1を用いる場合を例示している。この場合原料ガスが凹部12及びその近傍に十分至らず、また図6に示す態様においては凹部12にマスク3を施していることがさらに加わって、凸部11の上方部からしか結晶成長が起こらない。図1(b)、図6(b)において、20はこの結晶成長開始時の結晶単位を示している。このような状況下、結晶成長が続くと凸部11の上方部を起点とし横方向に成長した膜がつながって、やがて図1(c)、図6(c)のように凹部に空洞部13を残したまま、基板1の凹凸面を覆うことになる。この場合、横方向に成長した部分、つまり凹部12上部には低転位領域が形成され、作製した膜の高品質化が図れている。

本発明の半導体結晶の製造方法は、図1(c)、図2(c)、図6(c)、図7(c)に示すような本発明の半導体基材（即ち、基板1と半導体結晶2とからなり、両者の間に空洞部13を備える積層体）を作製した後、図6(d)、図7(d)に示すように、空洞部13が存在する部分、すなわち基板1の凸部11の部分で、基板1と半導体結晶2とを分離し、必要とする低転位化された半導体結晶2を得るものである。この分離の方法としては、研磨などの方法が代表的に挙げられるが、半導体結晶を取り出せば特に限定はない。

図2は、溝幅Bに対し溝深さ（凸部高さ） $h$ が浅い場合、もしくは凸部11の幅Aに対し溝幅Bが広い基板1を用いる場合を例示している（図2(a)参照）。この場合、原料ガスは凹部12及びその近傍にまで到達し得るため凹部12での成長も生じる。また、凸部11の上方部からも結晶成長が生じ、図2(b)に示すように、凸部11の上方部と凹部12表面に、それぞれ結晶単位20、21が生成される状態となる。このような状況下、結晶成長が続くと凸部11の上方部を起点とし横方向に成長した膜がつながって、やがて図2(c)のように基板1の凹凸面を覆うことになる。この場合も凹部12上部には低転位領域が形成され、作製した膜の高品質化が図れている。

図3、図7(a)～(c)は、溝幅Bに対し溝深さ（凸部高さ） $h$ が非常に浅い場合、もしくは凸部11の幅Aに対し溝幅Bが非常に広い基板1を用いる場合

を例示している（図3(a)、図7(a)参照）。

図3の態様では、原料ガスは凹部12及びその近傍にまで到達し得るため凹部12での成長も生じる。また図7の態様では、原料ガスは凹部12のマスク3上及びその近傍にまで到達し得るため凹部12での成長が生じる可能性はある。しかし、凸部上部での成長に比べ成長速度は非常に遅い。これはマスク3上に到達した原料が再びガス中に脱離する割合が多いからである。

そして、図3(b)、図7(b)に示すように、凸部11の上方部からも結晶成長が生じ、凸部11の上方部と凹部12表面に、それぞれ結晶単位20、21が生成される状態となる。このような状況下、結晶成長が続くと上方部を起点とし横方向に成長した膜及び凹部から成長した膜がつながって、やがて図3(c)、図7(c)のように基板1の凹凸面を覆うことになる。

図3の態様の場合、凹部12を起点とした部分には低転位領域は形成され難いが、凸部11を起点とし横方向成長した部分には低転位領域が形成され、作製した膜全体でみると高品質化が図り得る。また、図7の態様の場合も、凸部11を起点とし横方向成長した部分が図1の例に比べて多いため、低転位領域の割合が多く、作製した膜全体でみると図1の場合に比べて高品質化が図れていることになる。

凹部の幅が広く、転位がC軸方向に伸びる形態の場合は、凹部上部に形成される低転位領域が広くなる。このような場合は発光素子の発光部との位置合わせや、受光素子の受光部との位置合わせが行いやすく好都合である。

従来のELOでも低転位領域を広くすることは可能であるが、層を厚くする必要があり、その場合は反りの発生のため、例えばプロセスのフォトリソ工程が困難となる。

本発明では、特に、凹部にマスクを形成する形態をとると、広い低転位領域の形成が薄膜で可能となる。この結果、反りの発生を抑えることが可能となり、大面積の半導体素子（例えば、受光素子など）を作成する場合、フォトリソ工程でも反りに起因する問題の発生を抑えることが可能となり、従来と比べ、暗電流が

低い・応答速度が速いなど、特性の向上した素子を得ることができる。

本発明による半導体結晶の製造方法では、上記のようにして積層体を作製した  
ら、図7(d)に示すように、空洞部13が存在する部分、すなわち基板1の凸  
部11の部分で、基板1と半導体結晶2とを分離することで、必要とする低転位  
化された半導体結晶2が得られる。

本発明にあっては、このような凸部11であれば特に制限はなく各種の形状を  
採用することができる。

具体的には、上述したような溝幅Bに対し溝深さ(凸部高さ)hが深い場合、  
溝幅Bに対し溝深さ(凸部高さ)hが浅い場合、さらに溝幅Bに対し溝深さ(凸  
部高さ)hが非常に浅い場合、もしくは凸部11の幅Aに対し溝幅Bが非常に広  
い場合など種々の組み合わせを行う事ができる。特に溝幅Bに対し溝深さ(凸部  
高さ)hが深い場合、図1のように凹部表面にマスクがなくても、気相成長時に  
原料ガスが実質的に底部まで拡散できないため原料が効率良く凸部11上部の成  
長に寄与する点で好ましい。また凸部11の幅Aに対し溝幅Bが広い場合、横方  
向成長の領域が多くなり低転位領域が広く形成される点で好ましい。

サファイア基板からの転位がまっすぐ伸びる成長モードの場合、凸部の占める  
割合が少なく、幅は細くするほど転位の数が減るため、好都合である。凸部が占  
める面積は50%以下であれば良いが、望ましくは40%以下、更には30%以  
下とすることが望ましい。凸部の幅としては細いほど効果が上がり、5μm以下  
とすれば良く、望ましくは2μm以下、更には0<凸部<1μmとすることが望  
ましい。

凸部の幅が細い場合、凹部を覆い、平坦になるまでの厚みが薄くて済む利点が  
ある。この場合成長させる厚みが薄いため熱膨張係数差により発生していた反り  
の問題が解消できる。凸部の幅が細く、凸部の占める面積が少ない場合、上記効  
果に転位が少なくなる効果が加わり更に良い結果が得られる。なお溝深さ(凸部  
高さ)は本発明の効果が出る範囲内で適宜選べば良い。

このような凹凸面の形成の態様としては、島状の点在型の凸部、ストライプ型

の凸条からなる凸部、格子状の凸部、これらを形成する線が曲線である凸部などが例示できる。

これら凸部の態様の中でも、ストライプ型の凸条を設ける態様のものは、その作製工程を簡略化できると共に、規則的なパターンが作製容易である点で好ましい。ストライプの長手方向は任意であってよいが、基板上に成長させる材料をGaNとし、GaN系材料の<1-100>方向にした場合、{1-101}面などの斜めファセットが形成され難いため横方向成長（ラテラル成長）が早くなる。この結果凹凸面を覆うのが速くなる点で特に好ましい。

{1-101}面などの斜めファセットが形成される成長条件（例えば、成長温度が低い場合や、H<sub>2</sub>濃度が高い場合など）で成長を行なった場合、凸部では、基板からの貫通転位が始まはまっすぐに伸びるが（サファイアC面基板の場合は、C軸方向）、ファセット面で曲がり、凹部中央で合体することがある、この場合は、低転位領域は凸部上部となる。その後、ガス雰囲気、成長温度などを変更し、ラテラル成長を促進させると、C面が覆われた平坦な膜を得ることが可能になる。よって、ストライプ方向を<11-20>方向にした場合にも、成長条件の選択により上記と同様な方法になることは明らかである。

凹部12上に形成するマスク3としては、その層からは実質的に成長し得ないようにしていればよく、SiO<sub>2</sub>、SiN<sub>x</sub>、TiO<sub>2</sub>、ZrO<sub>2</sub>などが利用できる。またこれら材料の積層構造とすることも可能である。本発明による半導体結晶の製造方法では、凹部12にマスク3を形成した例で説明しているが、マスク3を形成せずに凹凸形状のみの基板を用いてもよい。

図1、図6に示す実施例のように、空洞部13を残したまま基板1の凹凸面を埋め込み、続いてその上に発光部を成長して発光素子を作製した場合、空洞部と半導体界面の屈折率差が大きく取れる。この結果発光部下方に向かった光がこの界面で反射される割合が増える。例えばLEDを、サファイア基板面を下側にしてダイボンドを行った場合は、上方に取り出せる光量が増えるため好ましい。

また空洞部13を残したまま埋め込む事は、基板1とその上に成長する半導体

層との接触面積を小さくできるという事であるため、半導体中に格子定数差や熱膨張係数差に起因する歪を低減できる面で好ましい。この歪の低減は、サファイア上にGaN系材料を厚く成長した時に発生する反りを低減させる効果がある。特に従来法ではSi基板上にGaN系材料を結晶成長する際に熱膨張係数差に起因した反りやクラックが発生し良質の結晶成長を行えない問題があつたが、本発明による歪低減によりこの問題を解消できる。

さらに基板1とその上に成長する半導体層2との接触面積を小さくできる事を利用すると、半導体層2を厚く成長していった場合、この小さい接触部に応力が集中し、この部分から基板1と半導体層2の分離が可能となる。これを応用する事でGaNなどの基板が作製可能となる。

本発明にかかる半導体結晶の製造方法によれば、図6(c)、図7(c)、図10に示すように、基板1と半導体結晶2との間に空洞部13があり、両者の接触面積を小さくできるため、半導体結晶2中における格子定数差や熱膨張係数差に起因する歪を低減できる。この歪の低減は、基板1としてサファイアを採用し、その上に半導体結晶2としてのGaN系材料を厚く成長した場合に顕著に発生する反りを低減させる効果がある。特に、従来法では基板上にGaN系材料を結晶成長する際に熱膨張係数差に起因した反りやクラックが発生し良質の結晶成長を行えない問題があつたが、空洞部13の介在による歪低減効果により、この問題を低減できる。

本発明による半導体結晶の製造方法では、上記のように基板1とその上に成長する半導体結晶2との接触面積を小さくできる事を利用すると、膜厚を $10\mu m$ 以上、好ましくは $100\mu m$ 以上になるまで成長した場合は、この小さい接触部に応力が集中する結果、この部分から基板1と半導体結晶2との分離が容易となる。こうしてGaNなどの基板が作製可能となる。

以上、基板1の上に半導体層2を一層だけ成長する場合について説明したが、転位欠陥をより少なくするために、同様な工程を2回繰り返すようにしてもよい。即ち図5、図8、図9に示すように、上記と同様な手法にて基板1の凹凸面を

覆うように第一の半導体結晶の層（第一半導体層）2aの結晶成長を行った後に、該第一半導体層2aの表面を凹凸面とする加工を施し、その上に気相成長により第一半導体層2aの凸部の上方部から専ら結晶成長するようにして第二の半導体結晶の層（第二半導体層）2bを形成することもできる。この場合、特に基板1の凸部11と上記第一半導体層2aに形成する凸部11aの位置とをずらす様にすれば（即ち、第一半導体層2aの凹部を、基板から転位が伝播した領域上に形成すれば）、第二半導体層2bには転位が伝播しないことになる。つまり、かかる構成とすれば、第二半導体層2b全域を低転位領域とすることができ、より高品質の半導体結晶の層を有する半導体基材が得られるものである。さらに、その後、かかる積層体（半導体基材）から、図10に示すように、半導体結晶2（第二半導体層2b）を、空洞部13の存在部分で分離することで、必要とする半導体結晶2を取り出すことができる。

なお、第一半導体層のうちの転位が伝播した部分にSiO<sub>2</sub>などのマスクを設け、伝播を防ぐ方法を利用できる。つまり、第二半導体層の成長に、従来報告されているELO技術を用いてもよい。この場合も、第一半導体層の形成に本発明を用いているため、ELOだけで構成する場合に比べ、薄膜で済む、工程が少なくて済むなどの効果があることは明らかである。

また、第二半導体層2bの表面をさらに凹凸面とし、その上に同様に気相成長法により形成される第三の半導体結晶の層（第三半導体層）を形成するようにしても良い。或いは、さらに同様の工程を繰り返して、複数の半導体層を多重的に形成するようにしても良い。このような構成とすれば、上述したような上下間の凸部の位置調整を意図的に行わずとも、層を重ねる毎に伝播する転位を漸減させることができ、最終的に成長される半導体基材、そこから分離される半導体結晶をより高品質化することができる。

凸部の形成は、例えば通常のフォトリソグラフィ技術を使って凸部形状に応じてパターン化し、RIE技術等を使ってエッチング加工を行うことで作製できる。

基板上に半導体層の結晶成長を行う方法はH V P E、M O C V D、M B E法などがある。厚膜を作製する場合はH V P E法が好ましいが、薄膜を形成する場合はM O C V D法が好ましい。

基板上に半導体層の結晶成長を行う時の成長条件（ガス種、成長圧力、成長温度、など）は、本発明の効果が出る範囲内であれば、目的に応じ使い分けねばよい。

## 実施例

### [実施例 1]

C面サファイア基板上にフォトレジストのパターニング（幅：2 μm、周期：4 μm、ストライプ方位：ストライプ延伸方向がサファイア基板の<11-20>方向）を行い、RIE（Reactive Ion Etching）装置で5 μmの深さまで断面方形型にエッチングした。前記パターニングの幅2 μmは凸部の幅に対応するものであり、よって凹部の幅（=周期-凸部の幅）は2 μm、この時の凹部断面のアスペクト比（深さ／凹部の幅）は2.5である。フォトレジストを除去後、MOVPE装置に基板を装着した。その後、水素雰囲気下で1100°Cまで昇温し、サーマルエッチングを行った。その後温度を500°Cまで下げ、III族原料としてTMG（以下TMG）を、N原料としてアンモニアを流し、GaN低温バッファー層を成長した。つづいて温度を1000°Cに昇温し原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaN層を成長した。その時成長時間は、通常の凹凸の施していない場合のGaN成長における4 μmに相当する時間とした。

成長後の断面を観察すると基板凹部に若干の成長の痕跡は見られるものの、図1(c)に示すように凹部に空洞部13を残したまま凹凸部を覆い、平坦になったGaN膜が得られた。

比較のために、通常のC面サファイア基板上に同じ成長条件で成膜したGaN膜と、同じパターンのSiO<sub>2</sub>マスクを使ってELO成長したGaN膜（マスク法による従来ELOサンプル）を用意した。

評価は、InGaN (InN混晶比=0.2、100 nm厚) を続けて成長して現れるピット（転位に対応している）をカウントして転位密度とした。キャリア密度はホール効果測定で評価し、結晶軸のゆらぎはXRCの $\pm$ スキャンで評価した。評価結果を表1、図4に示す。

表1

サンプル	転位密度	キャリア密度	XRC の FWHM
実施例サンプル	$4 \times 10^7 \text{ cm}^{-2}$	$1 \times 10^{16} \text{ cm}^{-3}$	170 sec
従来 ELO サンプル	$4 \times 10^7 \text{ cm}^{-2}$	$5 \times 10^{17} \text{ cm}^{-3}$	200-400 sec
通常 GaN	$2 \times 10^9 \text{ cm}^{-2}$	$1 \times 10^{16} \text{ cm}^{-3}$	220 sec

実施例のサンプルでは、転位密度の低減が従来ELOと同程度に図れている事が判る。その一方、キャリア濃度は通常GaN成長と同程度であった。またXRCのFWHMは170 secと一番小さく、総合的にみて高品質の膜であるといえる。

図4のXRCの $\pm$ スキャンデータからも、またSiO<sub>2</sub>マスクを使ったELO成長によるGaN膜のように、ラテラル成長方向付近で強まる結晶軸のゆらぎも無い、高品質な結晶であることが確認された。

### [実施例2]

実施例1の内、凹凸部の形状を以下の様に変更した以外は同じとした。

(幅: 2 μm、周期: 4 μm、ストライプ方位: サファイア基板の<11-20>)を行い、RIE (Reactive Ion Etching) 装置で1 μmの深さまで断面方形型にエッチングした。この時のアスペクト比は0.25であった。

成長後の断面を観察すると、図2(c)に示すように、凹凸部が埋め込まれると共に、凹部12に相当していた部分が空洞部13及びその底部のGaN膜21に代替された成長となっている事が判明した。

この膜を評価するためにInGaN (InN混晶比=0.2、100 nm厚) を続けて成長し、上述と同じく現れるピットの観察を行ったところ、凸部上部には転位に対応したピットが多数見られたが、凸部の上方部を起点とし横方向に成長した部分にみられるピットは少なく、転位密度は実施例1と同様  $4 \times 10^7 \text{ cm}^{-2}$  であった。

### [実施例3]

実施例1の内、凹凸部の形状を以下の様に変更した事及び凹凸部上に成長させる厚みを $1\text{ }\mu\text{m}$ とした以外は同じとした。

(幅： $0.5\text{ }\mu\text{m}$ 、周期： $1\text{ }\mu\text{m}$ 、ストライプ方位：サファイア基板の<11-20>)を行い、RIE装置で $1.0\text{ }\mu\text{m}$ の深さまで断面方形型にエッチングした。

成長後の断面を観察すると、凹凸部が埋めこまれており、表面は平坦になっていた。このように幅・周期を短くすることで、 $1\text{ }\mu\text{m}$ の厚みの時点で既に平坦となっている膜を得ることができる。この膜を評価するため、上記実施例と同様に観察を行ったところ、凸部上部には転位に対応したピットが多数見られたが、凸部の上方部を起点とし横方向に成長した部分にみられるピットは少なく、転位密度は実施例1と同様 $4 \times 10^7\text{ cm}^{-2}$ であった。

### [実施例4]

実施例1の内、凹凸部の形状を以下の様に変更した事以外は同じとした。

(幅： $0.3\text{ }\mu\text{m}$ 、周期： $3\text{ }\mu\text{m}$ 、ストライプ方向：サファイア基板の<11-20>)を行い、RIE装置で $3.0\text{ }\mu\text{m}$ の深さまで断面方形型にエッチングした。

成長後の断面を観察すると、凹凸部が埋めこまれており、最表面は平坦になっていた。この膜を評価するためにInGaN (InN混晶比=0.2、100nm厚)を続けて成長し、上述と同じく現れるピットの観察を行った。

凸部上部には転位に対応したピットが見られるものの数が非常に低減していた。凸部の上方部を起点とし横方向に成長した部分にみられるピットは少なかった。一方凹部中央にはピットが一部見られた。この膜の転位密度を数えると $2 \times 10^6\text{ cm}^{-2}$ と実施例1、2や通常のGaN成長に比べるとかなり低減していた。これは凸部が占める面積が少なくなり転位が伝播する数が減った事に起因していると考えられる。

## [実施例 5]

実施例 1 で得られた膜に連続して n 型 AlGaN クラッド層、 InGaN 発光層、 p 型 AlGaN クラッド層、 p 型 GaN コンタクト層を順に形成し、発光波長 370 nm の紫外 LED ウエハを作製した。

その後、電極形成、素子分離を行い、LED 素子とした。ウエハ全体で採取された LED チップの出力の平均値と逆電流特性を評価した。比較対象としては、従来の ELO 技術を使って上記構造を作製した紫外 LED チップと通常のサファイア基板を使って上記構造を作製した紫外 LED チップである。これらの評価結果を表 2 に示す。

表 2

サンプル	出力 (20 mA)	-10 V 印加時の リーク電流
実施例サンプル	1.7 mW	10 nA
従来 ELO サンプル	1.5 mW	50 nA
通常 GaN	0.9 mW	1 μA

表 2 に示すように本発明を用い作製したサンプルでは従来例に比べ出力が高く、リーク電流の少ない高品質の LED が作製できる事がわかった。

## [実施例 6]

実施例 1 の内、半導体層成長時にトリメチルアルミニウム (TMA) を追加した以外は同じとした。

結果、AlGaN (Al 組成 0.2) の膜が凹部に空洞を残し、凹凸部を覆うように平坦な膜が成長できていた。凹部上部の、凸部の上方部を起点とし横方向に成長した部分にみられるピットは少なかった。これにより従来の ELO 技術では成し得なかつた AlGaN 膜の高品質化 (低転位密度化) が本発明を用いてできた事を確認した。

## [実施例 7]

次に GaN を基板として用いた例を示す。GaN 基板上にフォトレジストのパターニング (幅: 2 μm、周期: 4 μm、ストライプ方位: GaN 基板の <1-100>) を行い、RIE 装置で 5 μm の深さまで断面方形型にエッチングした

。この時のアスペクト比は2.5であった。フォトレジストを除去後、MOVPE装置に基板を装着した。その後、窒素、水素、アンモニア混合雰囲気下で100℃まで昇温した。その後、原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaN層を成長した。その時の成長時間は、通常の凹凸の施していない場合のGaN成長における4μmに相当する時間とした。

成長後の断面を観察すると基板凹部への成長、凸部侧面への成長が見られるものの、図5に示すように空洞部を残したまま凹凸部を覆い、平坦になったGaN膜が得られた。続いて得られた膜のピットの評価を行った。基板としてもちいた部上部で $1 \times 10^5 \text{ cm}^{-2}$ 、凹部上部で $5 \times 10^3 \text{ cm}^{-2}$ にピットが減少している事がわかった。このように既に転位の少ない基板に対しても更なる転位密度低減効果があることが確認できた。

#### [実施例8]

実施例1で作製したGaN結晶を第一半導体層とし、その上に第二半導体層を成長させた。まずGaN結晶（第一半導体層）にフォトレジストのパターニング（幅：2μm、周期：4μm、ストライプ方位：GaN基板の<1-100>）を行い、RIE装置で2μmの深さまで断面方形型にエッチングした。この時のパターニングは基板凸部の上に第一半導体層の凹部がくるような配置とした。この時のアスペクト比は1であった。フォトレジストを除去後、MOVPE装置に基板を装着した。その後、窒素、水素、アンモニア混合雰囲気下で1000℃まで昇温した。その後、原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaN層を成長した。その時の成長時間は、通常の凹凸の施していない場合のGaN成長における4μmに相当する時間とした。

成長後の断面を観察すると基板凹部への成長、凸部侧面への成長が見られるものの、空洞部を残したまま凹凸部を覆い、平坦になったGaN膜が得られた。続いて得られた膜のピットの評価を行ったところ、 $8 \times 10^5 \text{ cm}^{-2}$ にピットが減少している事がわかった。このように本実施例を繰り返す事により更なる転位密度低減効果があることが確認できた。

度低減効果があることが確認できた。

[実施例 9]

C面サファイア基板上にフォトレジストのパターニング（幅： $2 \mu\text{m}$ 、周期： $6 \mu\text{m}$ 、ストライプ方位：ストライプ延伸方向がサファイア基板の<11-20>方向）を行い、RIE装置で $2 \mu\text{m}$ の深さまで断面方形型にエッチングした。続いて基板全面に $\text{SiO}_2$ 膜を $0.1 \mu\text{m}$ 堆積し、その後リフトオフ工程によりフォトレジスト及びその上に堆積された $\text{SiO}_2$ 膜を除去した。このようにして基板凹部にマスク層を施した。その後、MOVPE装置に基板を装着し、水素雰囲気下で $1100^\circ\text{C}$ まで昇温し、サーマルエッチングを行った。その後温度を $500^\circ\text{C}$ まで下げ、III族原料としてTMGを、N原料としてアンモニアを流し、 $\text{GaN}$ 低温バッファー層を成長した。つづいて温度を $1000^\circ\text{C}$ に昇温し、原料としてTMG・アンモニアを、ドーパントとしてシランを流し $n$ 型 $\text{GaN}$ 層を基板上に成長した。その時の成長時間は、通常の凹凸の施していない場合の $\text{GaN}$ 成長における $4 \mu\text{m}$ に相当する時間とした。

成長後の断面を観察すると基板凹部マスク上に若干の成長の痕跡は見られるものの、図7(c)に示すように凹部に空洞部13を残したまま凹凸部を覆い、平坦になった $\text{GaN}$ 膜が得られた。

比較のために従来のELO法でも同様の検討を行なった。本実施例で行なった凹凸の幅・周期に相当する $\text{SiO}_2$ マスク（即ち、マスク幅が $4 \mu\text{m}$ 、周期 $6 \mu\text{m}$ ）を形成し、通常の $\text{GaN}$ 成長における厚さ $4 \mu\text{m}$ の成長に相当する時間での成長を行なった。得られたサンプルの断面を観察したところ、 $\text{SiO}_2$ マスク上でラテラル方向に成長が生じ、合体が見られるものの、まだ平坦になっていないことがわかった。そこで、表面が平坦となるための成長時間を調べたところ、通常の $\text{GaN}$ 成長における厚さ $10 \mu\text{m}$ の成長に相当する時間が必要であることがわかった。またその場合、結晶層の表面は平坦となっていたが、その厚膜化によって、得られたウエハには大きな反りが発生していた。

本実施例での比較からも明らかのように、本発明を用いることにより、ラテラ

ル成長を行なう凹部の幅が広い場合でも、薄膜で平坦な面が得られる。

### 〔実施例 10〕

[実施例10] 次にGaNを基板として用いた例を示す。GaN基板上にフォトレジストのパターニング（幅：2 μm、周期：6 μm、ストライプ方位：GaN基板の<1-100>）を行い、RIE装置で2 μmの深さまで断面方形型にエッチングした。続いて基板全面にSiO<sub>2</sub>膜を0.1 μm厚さに堆積し、その後リフトオフ工程によりフォトレジスト及びその上に堆積されたSiO<sub>2</sub>膜を除去した。このよう加工したGaN基板をMOVPE装置に装着し、窒素、水素、アンモニア混合雰囲気下で1000°Cまで昇温した。その後、原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaN層を成長した。その時の成長時間と通常の凹凸の施していない場合のGaN成長における4 μmに相当する時間とした。

した。

成長後の断面を観察すると基板凹部マスク上に若干の成長の痕跡、凸部侧面への成長が見られるものの、図8に示すように空洞部を残したまま凹凸部を覆い、平坦になったGaN膜が得られた。続いて得られた膜のピットの評価を行った。基板として用いたGaNのピット密度は $2 \times 10^5 \text{ cm}^{-2}$ であったが、本実施例の成長を行うと凸部上部で $1 \times 10^5 \text{ cm}^{-2}$ 、凹部上部で $5 \times 10^3 \text{ cm}^{-2}$ にピットが減少している事がわかった。このように既に転位の少ない基板に対しても更なる転位密度低減の効果があることが確認できた。

### 〔実施例 1 1〕

[実施例 1-1] 実施例 9 で作製した GaN 結晶を第一半導体層とし、その上に第二半導体層を成長させた。まず GaN 結晶（第一半導体層）にフォトレジストのパターニング（幅： $2 \mu\text{m}$ 、周期： $6 \mu\text{m}$ 、ストライプ方位：GaN 基板の $<1-100>$ ）を行い、RIE 装置で $2 \mu\text{m}$ の深さまで断面方形型にエッチングした。この時、パターニングは基板凸部の上に第一半導体層の凹部がくるような配置とした。続いて基板全面に SiO<sub>2</sub> 膜を $0.1 \mu\text{m}$  厚さに堆積し、その後リフトオフ工程によりフォトレジスト及びその上に堆積された SiO<sub>2</sub> 膜を除去した。このような

加工後、MOVPE装置に基板を装着し、窒素、水素、アンモニア混合雰囲気下で1000°Cまで昇温した。その後、原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型GaN層を成長した。その時の成長時間は通常の凹凸の施していない場合のGaN成長における4μmに相当する時間とした。

成長後の断面を観察すると基板凹部マスク上に若干の成長の痕跡、凸部側面への成長が見られるものの、図4に示すように空洞部を残したまま凹凸部を覆い、平坦になったGaN膜が得られた。続いて得られた膜のピットの評価を行ったところ $8 \times 10^5 \text{ cm}^{-2}$ にピットが減少している事がわかった。このように本実施例を繰り返す事により更なる転位密度低減効果があることが確認できた。

なお、本実施例では、第一半導体層の凹部にSiO<sub>2</sub>膜を形成したが、SiO<sub>2</sub>膜を形成しない場合でも、第二半導体層の厚みを6μmとすることで同様の結果が得られた。

#### [実施例1 2]

上記実施例9と全く同様の手順で、基板凹部にマスク層を施し、GaN低温バッファー層を成長させた後、温度を1000°Cに昇温し原料としてTMG・アンモニアを、ドーパントとしてシランを10h流し、n型GaN層を30μm成長した。

得られたGaN結晶を観察したところ、やや反りの発生があるもののクラックや割れもなく鏡面のものが得られた。次に成長後の断面を観察すると、基板凹部マスク上に若干の成長の痕跡は見られるものの、図7(c)に示すように凹部に空洞部13を残したまま基板1の凹凸面を覆い、平坦になったGaN結晶であった。

#### [比較例1、2]

比較のために、通常のC面サファイア基板上に同じ成長条件で成膜したGaN層と(比較例1)、同じパターンのSiO<sub>2</sub>マスクを使ってELO成長したGaN膜(比較例2)を用意した。

成長後装置から取り出したところ、何も施さずに成長したサンプルは小さなか

けらに割れており多数のクラックが入っていた。またELO成長したものは、割  
れは無いものの大きな反りと多数のクラックが入っていることが認められた。

実施例1～2で得られたGaN結晶及び比較例2のELO成長で得られたGaN結晶を基板から分離する作業を行った。まずGaN結晶面を下にし、ワックスで固定した。その後サファイア基板を研磨にて除去した。

比較例2のELO成長したGaN結晶は、大きな反りのため均一なサファイアの研磨ができなかった。研磨の後、GaN結晶をワックスからはがした所、実施例1で作製したサンプルはGaN結晶が取り出せたものの比較例2のELO成長したサンプルはGaN結晶が小破片に割れてしまった。

### [実施例 1 3]

### 産業上の利用可能性

以上説明した通りの本発明の半導体基材及びその作製方法によれば、基板に対して凸部を設けておくことで、マスク層上ではない部分に低転位領域を形成可能なラテラル成長を行わせることができる。従ってマスク層を形成することに起因する問題点である軸の微小チルティングによるラテラル成長部の合体部分の新たな欠陥の発生の問題やオートドーピングの問題、Al 含有半導体材料が選択成長不可という問題を解消できる。また、基板に凹凸面を設けた後に、一回の成長でバッファ層成長から発光部等の半導体結晶層の成長を連続して行えるので、製造プロセスの簡略化が図れるという利点がある。

さらに空洞部の利用による反射率向上や、残留歪の現象などの効果もあり特性向上、低コスト化の面から非常に価値のある発明である。特に、凹部の底面をマスクで覆う様では、凹部での成長を抑えることができるため、ラテラル成長の効率が良くなる利点がある。

また、本発明の半導体結晶の製造方法によれば、基板と結晶成長層の接触面積が少ないとから残留歪の抑制などの効果により大面積の半導体結晶層の作製が実現できる。従って通常の成長やマスク層を形成するELDの厚膜成長では十分なし得なかった大面積成長、軸の微小チルティングによるラテラル成長部の合体部分の新たな欠陥の発生の問題やオートドーピングの問題を解消でき、半導体結晶の大面積化、特性向上、低コスト化の面において極めて有用な効果を奏する。

本出願は日本で出願された平成11年特許第072133号、平成11年特許第335591号、平成11年特許第336421号、および平成11年特許第353044号を基礎としており、それらの内容は本明細書に全て包含される。

## 請求の範囲

1. 基板と該基板上に気相成長された半導体結晶とからなる半導体基材であつて、前記基板の結晶成長面が凹凸面とされ、前記半導体結晶は該凹凸面における凸部の上方部から専ら結晶成長されたものであることを特徴とする半導体基材。  
2. 上記半導体結晶が InGaAlN であることを特徴とする請求の範囲第 1 項記載の半導体基材。  
3. 上記基板の結晶成長面の凸部が、平行なストライプ形状からなる凸部であることを特徴とする請求の範囲第 1 項記載の半導体基材。  
4. 上記半導体結晶が InGaAlN であつて、かつストライプの長手方向が該 InGaAlN 結晶の (1-100) 面と平行であることを特徴とする請求の範囲第 3 項記載の半導体基材。  
5. 基板と該基板上に気相成長された半導体結晶とからなる半導体基材であつて、前記基板の結晶成長面が凹凸面とされ、前記半導体結晶は該凹凸面における凸部の上方部から専ら結晶成長された半導体基材において、前記凹凸面が成長された半導体結晶で覆われており、この半導体結晶の層と前記凹凸面における凹部との間には空洞部が形成されていることを特徴とする請求の範囲第 1 項記載の半導体基材。  
6. 上記基板の凹凸面の凹部が、その層からは実質的に結晶成長し得ないマスクで覆われ、上記半導体結晶が、上記基板の凹凸面の凸部の上方部から専ら結晶成長したものである請求の範囲第 1 項記載の半導体基材。  
7. 基板の結晶成長面を凹凸面とし、気相成長法により前記凹凸面における凸部の上方部から専ら結晶成長されることで形成された第一の半導体結晶の層と、この第一の半導体結晶の層の表面を凹凸面とし、同様にその凸部の上方部から専ら結晶成長されることで形成された第二の半導体結晶の層とからなることを特徴とする半導体基材。  
8. 上記基板の凹凸面の凹部が、その層からは実質的に結晶成長し得ないマ

スクで覆われ、上記第一の半導体結晶の層が、上記基板の凹凸面の凸部の上方部から専ら結晶成長したものであって、上記第一の半導体結晶の層の凹凸面の凹部が、その層からは実質的に結晶成長し得ないマスクで覆われ、上記第二の半導体結晶が、上記第一の半導体結晶の層の凹凸面の凸部の上方部から専ら結晶成長したものである請求の範囲第7項記載の半導体基材。

9. 請求の範囲第7項記載の半導体基材における第二の半導体結晶の層の表面を凹凸面とし、その上に同様に気相成長法により形成された第三の半導体結晶の層乃至は同様の工程を繰り返すことで多重的に形成された複数の半導体結晶の層を有することを特徴とする半導体基材。

10. 請求の範囲第8項記載の半導体基材における第二の半導体結晶の層の表面を凹凸面とし、凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その上に同様に気相成長法により形成された第三の半導体結晶の層乃至は同様の工程を繰り返すことで多重的に形成された複数の半導体結晶の層を有することを特徴とする半導体基材。

11. 基板上に半導体結晶を気相成長させるにあたり、予め基板表面に凹凸面加工を施し、次いで該基板に対して原料ガスを供給し、前記凹凸面における凸部の上方部から専ら結晶成長される半導体結晶にて前記基板の凹凸面を覆うことを特徴とする半導体基材の製造方法。

12. 上記基板の凹凸面の凹部をその層からは実質的に結晶成長し得ないマスクで覆い、次いで該基板に対して原料ガスを供給し、前記凹凸面における凸部の上方部から専ら結晶成長される半導体結晶にて前記基板の凹凸面を覆うことを特徴とする請求の範囲第11項記載の製造方法。

13. 基板の結晶成長面を凹凸面とし、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面を半導体結晶で覆うと共に、この半導体結晶の層と前記凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において半導体結晶と基板とを分離することを特徴とする半導体結晶の製造方法。

14. 上記基板の凹凸面の凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その後、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させるものである請求の範囲第13項記載の製造方法。

15. 上記半導体結晶がInGaAsNであることを特徴とする請求の範囲第13項記載の製造方法。

16. 上記基板の結晶成長面の凸部が、平行なストライプ形状からなる凸部であることを特徴とする請求の範囲第13項記載の製造方法。

17. 上記半導体結晶がInGaAsNであって、かつストライプの長手方向が該InGaAsNの(1-100)面と垂直であることを特徴とする請求の範囲第16項記載の製造方法。

18. 基板の結晶成長面を凹凸面とし、気相成長法により該凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面を覆う第一の半導体結晶の層を形成し、この第一の半導体結晶の層の表面を凹凸面とし、該第一の半導体結晶の層の凹凸面における凸部の上方部から専ら結晶成長させることで前記凹凸面を第二の半導体結晶の層で覆うと共に、この第二の半導体結晶の層と前記凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において前記積層体から半導体結晶を分離することを特徴とする半導体結晶の製造方法。

19. 上記第一の半導体結晶の層の凹凸面の凹部を、その層からは実質的に結晶成長し得ないマスクで覆い、その後、気相成長法により該凹凸面における凸部の上方部から専ら第二の半導体結晶の層を結晶成長させるものである請求の範囲第18項記載の製造方法。

20. 請求の範囲第18項記載の製造方法における第二の半導体結晶の層の表面を凹凸面とし、その上に同様に気相成長法により第三の半導体結晶の層、乃至は同様の工程を繰り返すことで多重的に複数の半導体結晶の層を形成し、半導体結晶の層と凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において前記積層体から半導体結晶を分離することを特徴とする半導

体結晶の製造方法。

21. 請求の範囲第19項記載の製造方法における第二の半導体結晶の層の表面を凹凸面とし、その凹凸面の凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その上に同様に気相成長法により第三の半導体結晶の層、乃至は同様の工程を繰り返すことで多重的に複数の半導体結晶の層を形成し、半導体結晶の層と凹凸面における凹部との間に空洞部を具備する積層体を作製し、前記空洞部分において前記積層体から半導体結晶を分離することを特徴とする半導体結晶の製造方法。

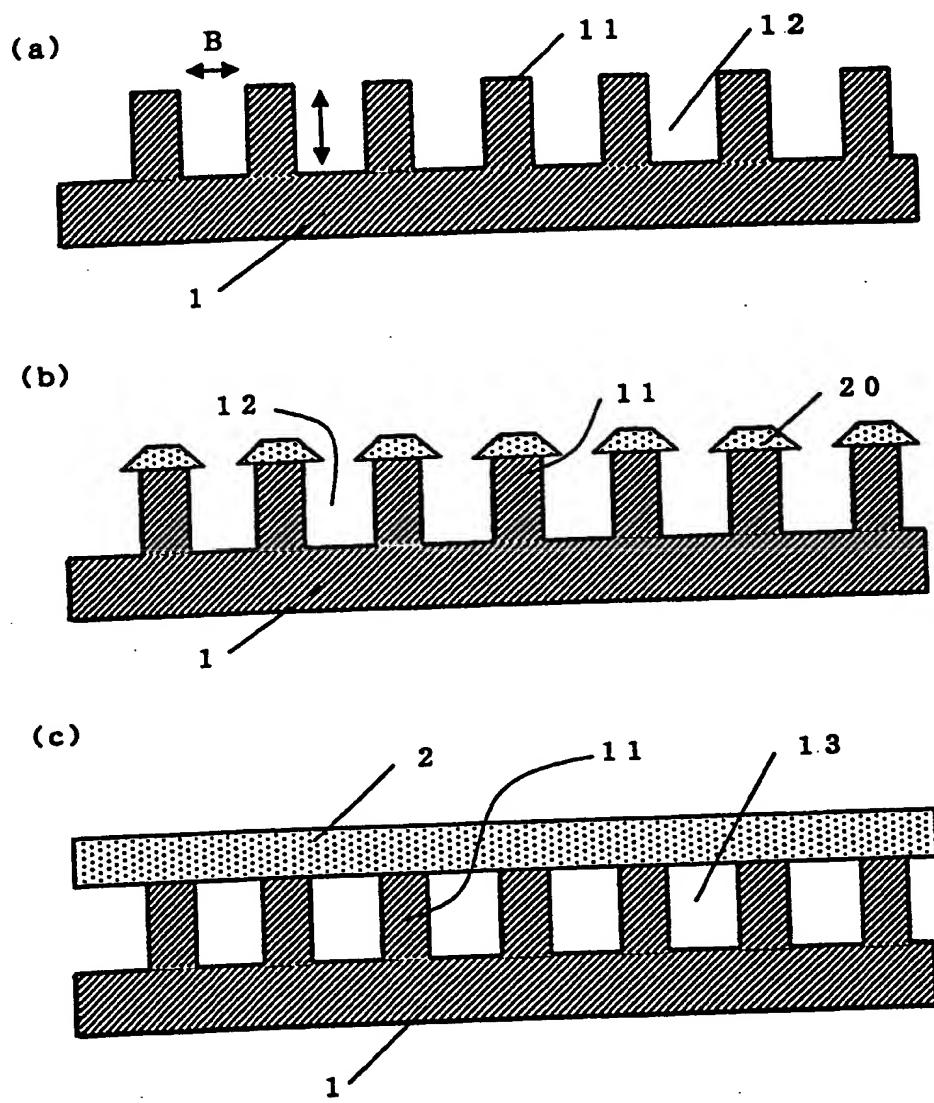


図 1



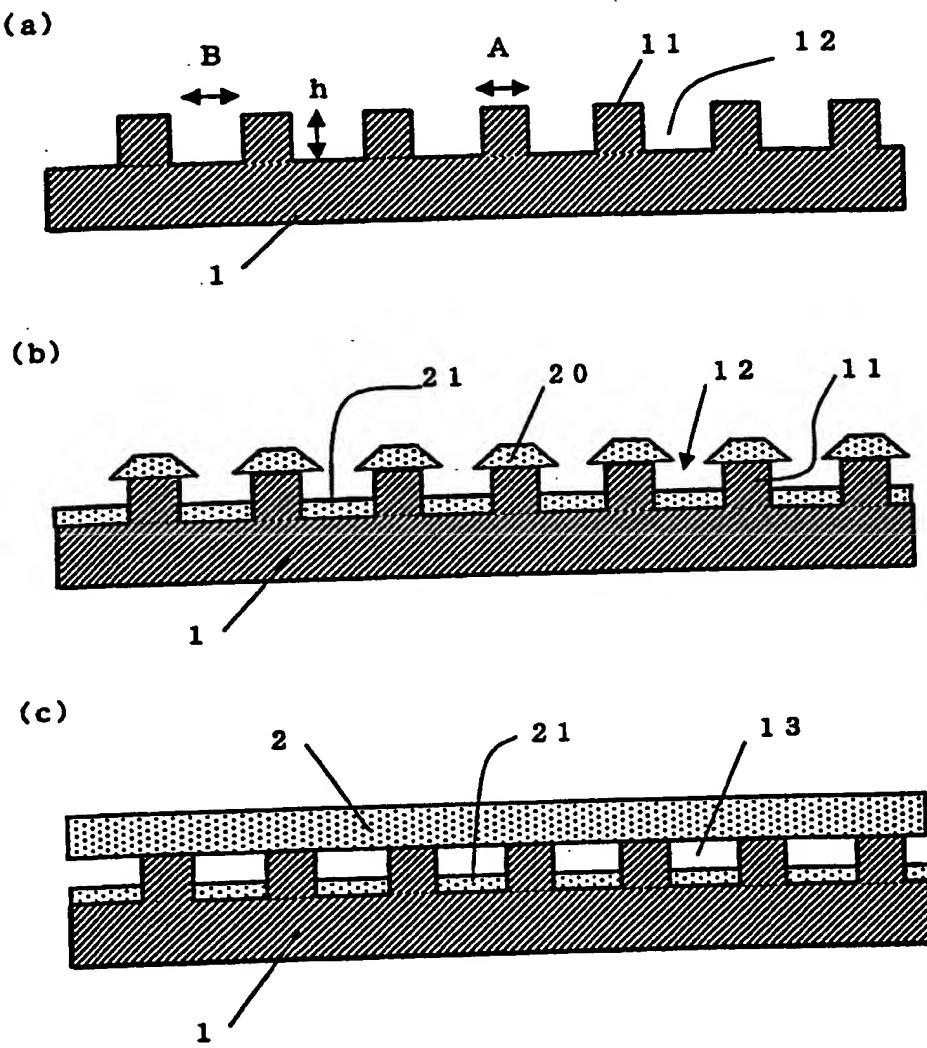


図 2



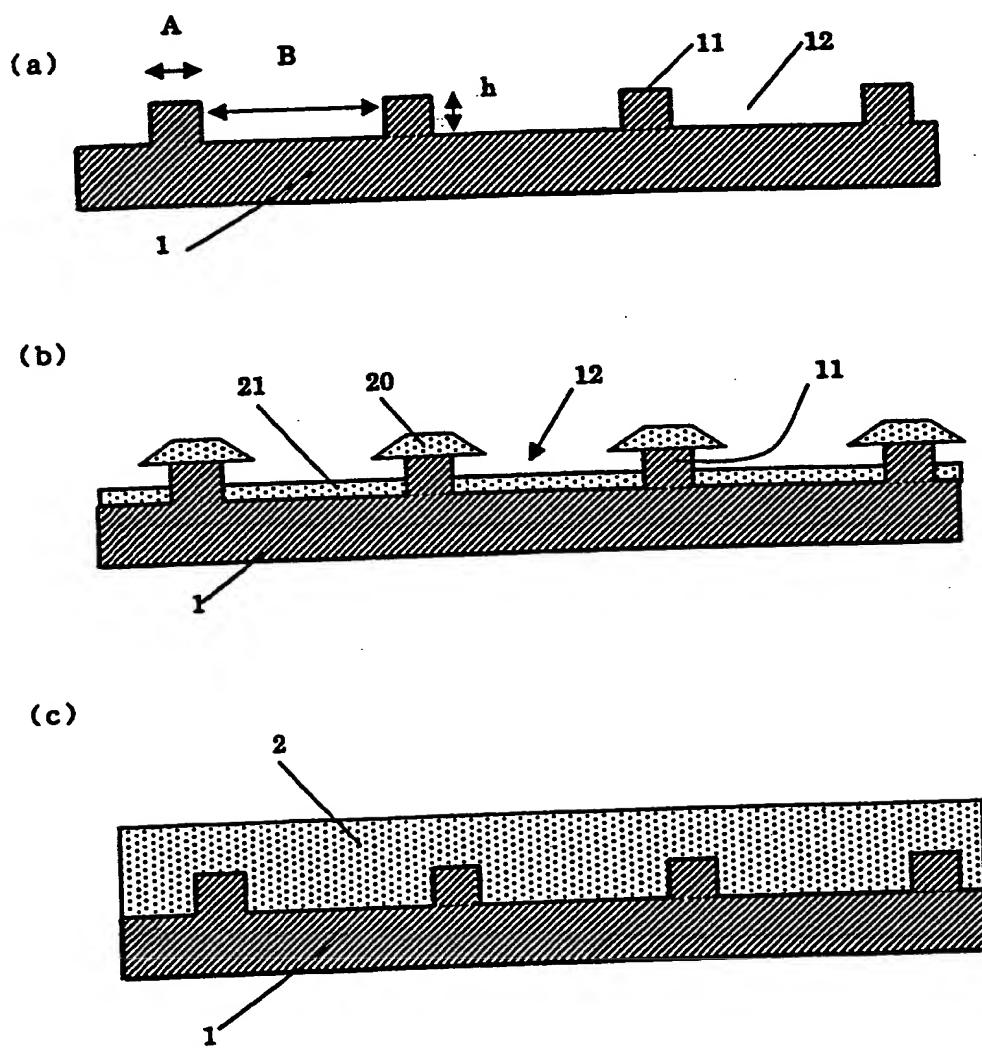


図 3



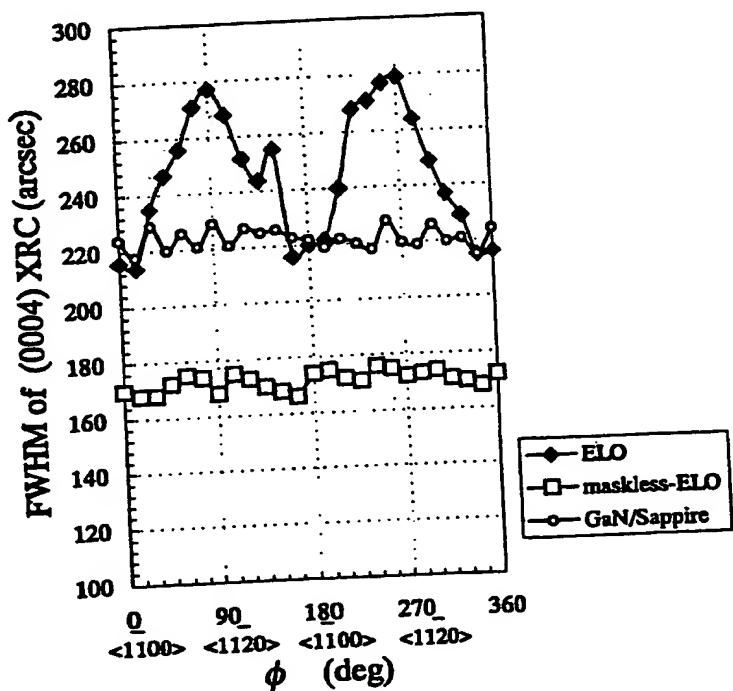


図 4



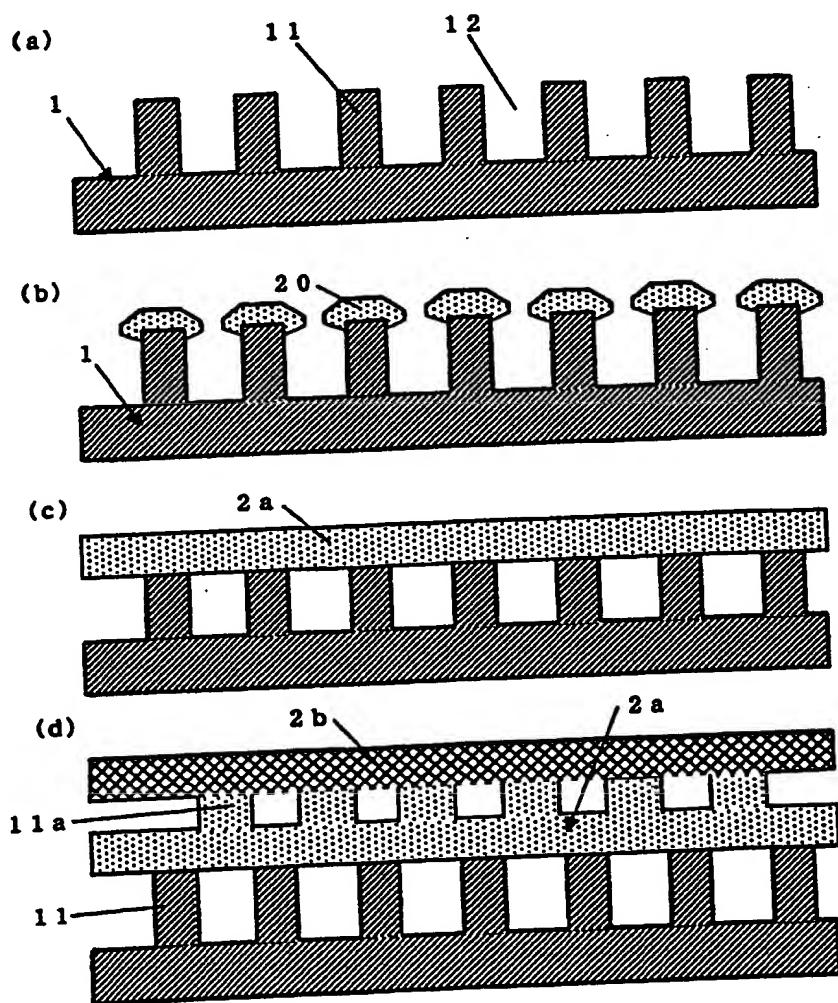


図 5



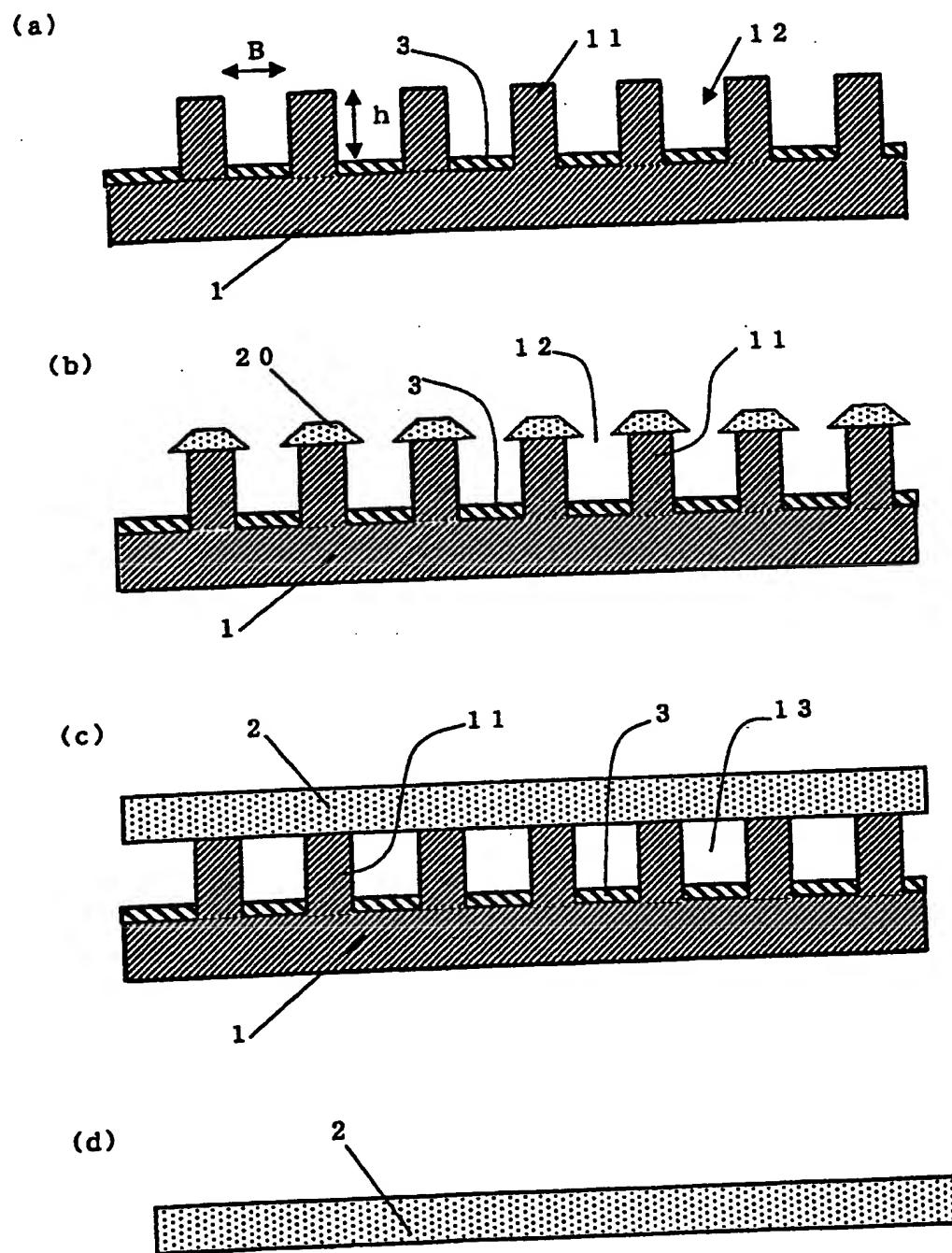


図 6



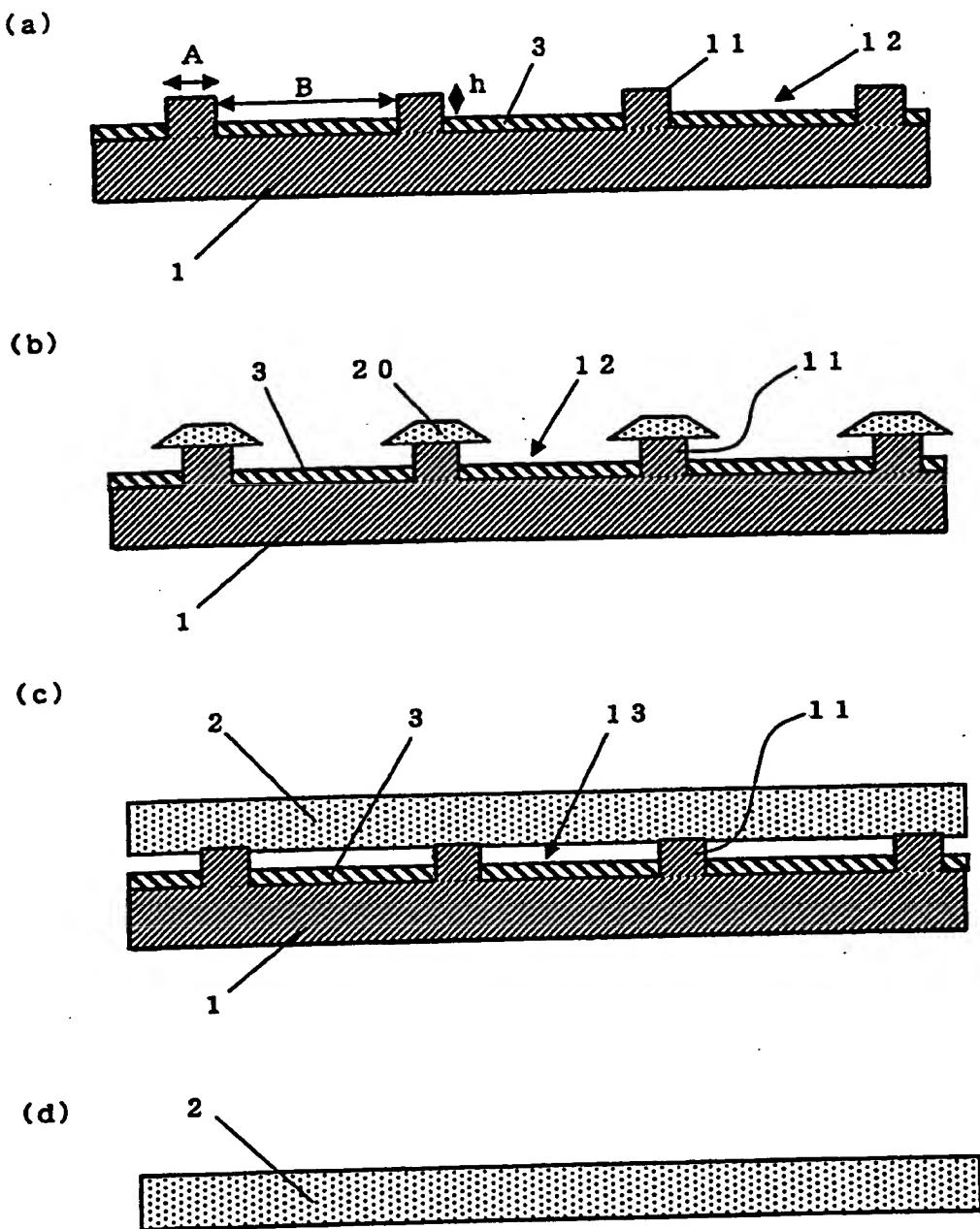


図 7



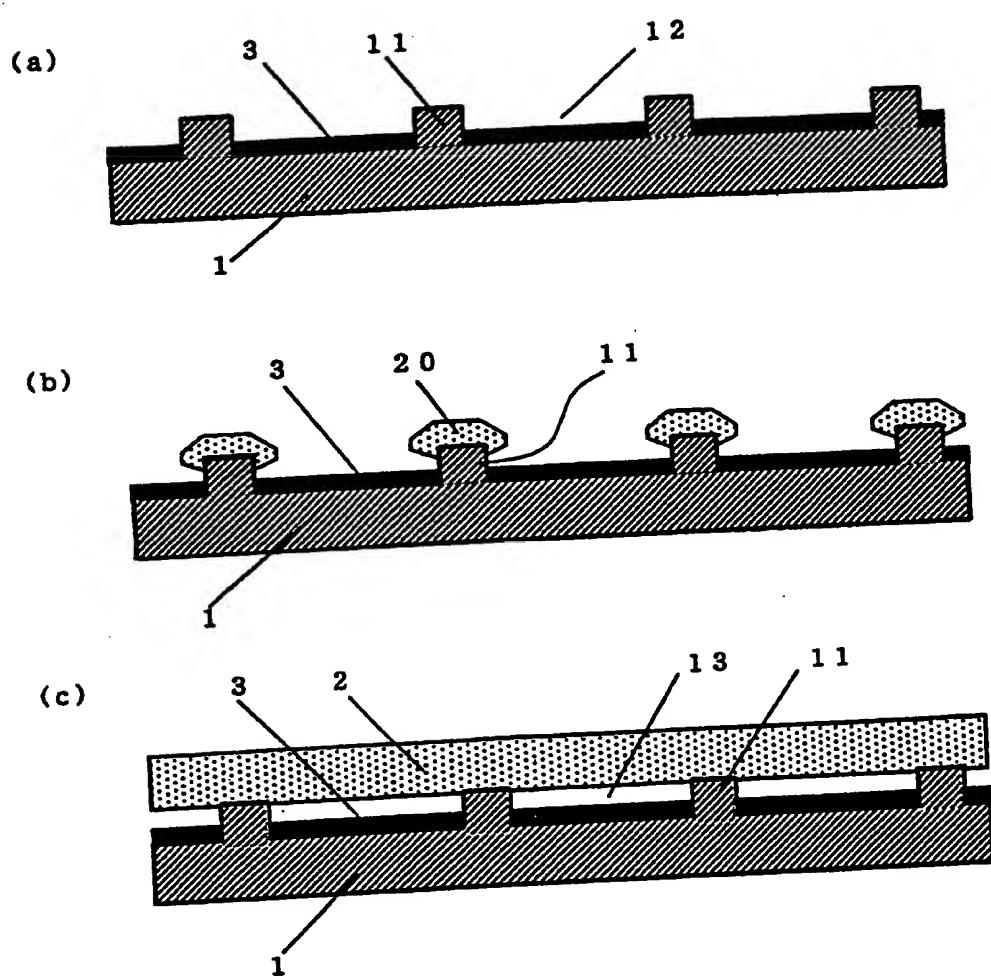


図 8



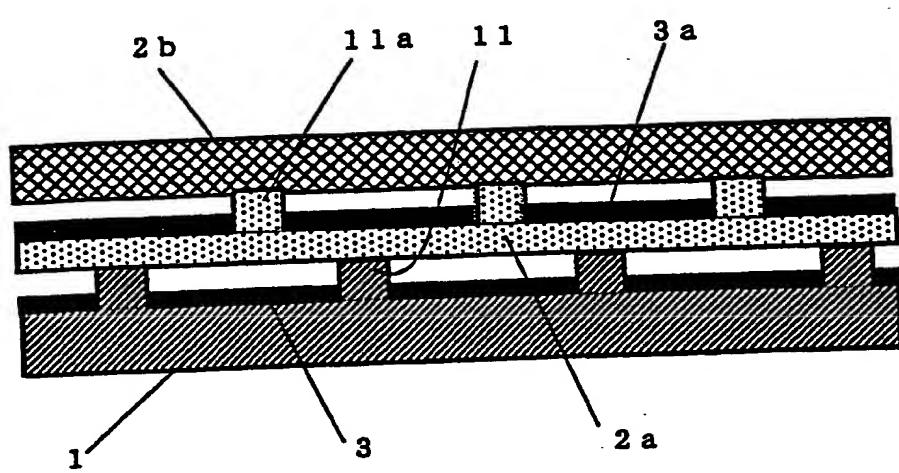


図 9



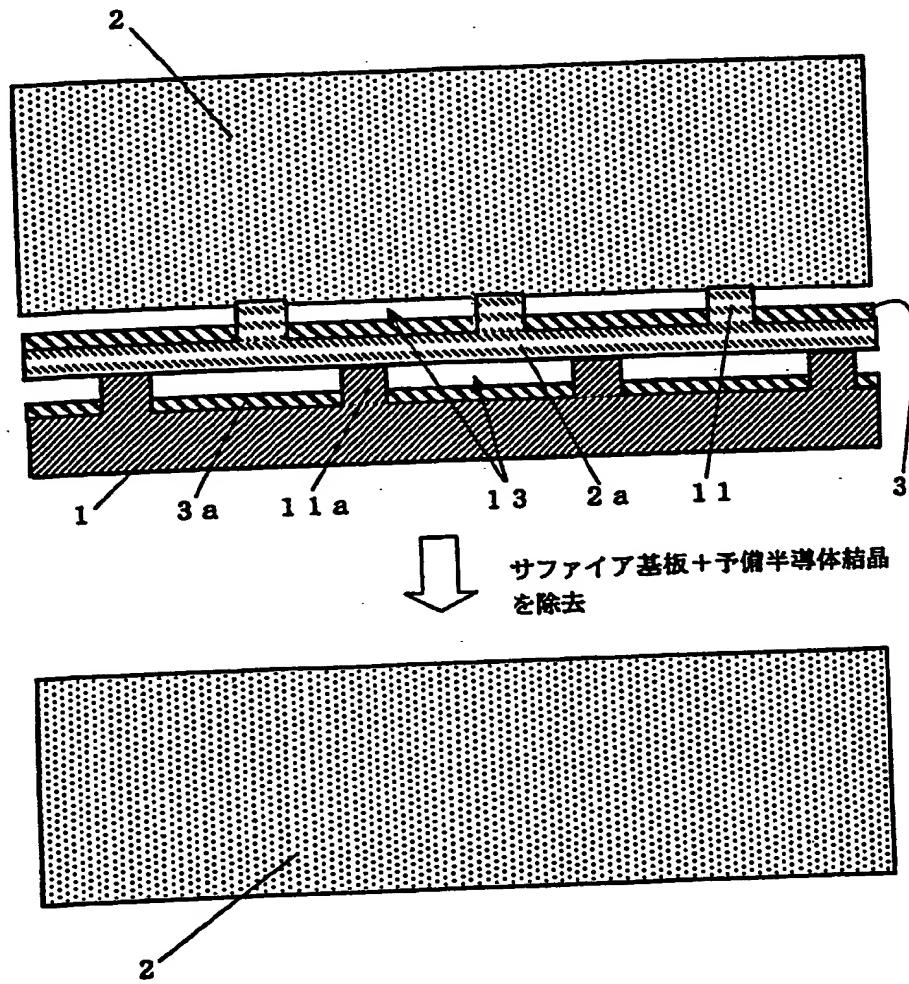


図 10



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP00/01588

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L21/205

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched	Toroku Jitsuyo Shinan Koho 1994-2000
Jitsuyo Shinan Koho 1922-1996	Kokai Jitsuyo Shinan Koho 1971-2000
	Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP, 2000-106455, A (Sharp Corporation), 11 April, 2000 (11.04.00), Par. Nos. [0012]-[0077]; Figs. 1 to 5	1-5, 7, 9, 11 6, 8, 10, 12-21
E, A	Par. Nos. [0012]-[0077]; Figs. 1 to 5 (Family: none)	
P, A	JP, 11-312825, A (Nichia Chemical Industries Ltd.), 09 November, 1999 (09.11.99), Full text; Figs. 1 to 6 (Family: none)	1-21
A	JP, 5-267175, A (Sumitomo Metal Industries, Ltd.), 15 October, 1993 (15.10.93), Full text; all drawings (Family: none)	1-21
A	JP, 60-66813, A (Sharp Corporation), 17 April, 1985 (17.04.85), Full text; all drawings (Family: none)	1-21
A	JP, 10-321522, A (Nippon Telegr. & Teleph. Corp. <NTT>), 04 December, 1998 (04.12.98), Full text; all drawings (Family: none)	1-21

Further documents are listed in the continuation of Box C.

See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
16 May, 2000 (16.05.00)

Date of mailing of the international search report  
23 May, 2000 (23.05.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.



国際調査報告

国際出願番号 PCT/JP00/01588

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L21/205

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L21/205

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2000年  
 日本国登録実用新案公報 1994-2000年  
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X <u>E, A</u>	JP, 2000-106455, A (シャープ株式会社) 11. 4月. 2000 (11. 04. 00) 段落番号【0012】-【0077】、図1-5 段落番号【0012】-【0077】、図1-5 (ファミリーなし)	1-5, 7, 9, 11 6, 8, 10, 12-21
P, A	JP, 11-312825, A (日亜化学工業株式会社) 9. 11月. 1999 (09. 11. 99) 全文、図1-6 (ファミリーなし)	1-21

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す  
もの

「E」国際出願日前の出願または特許であるが、国際出願日  
以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行  
日若しくは他の特別な理由を確立するために引用する  
文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって  
て出願と矛盾するものではなく、発明の原理又は理  
論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明  
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以  
上の文献との、当業者にとって自明である組合せに  
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16. 05. 00

国際調査報告の発送日

23.05.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池渕 立

4R 2929

電話番号 03-3581-1101 内線 3470

## 国際調査報告

国際出願番号 PCT/JP00/01588

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	J P, 5-267175, A (住友金属工業株式会社) 15. 10月. 1993 (15. 10. 93) 全文、全図 (ファミリーなし)	1-21
A	J P, 60-66813, A (シャープ株式会社) 17. 4月. 1985 (17. 04. 85) 全文、全図 (ファミリーなし)	1-21
A	J P, 10-321522, A (日本電信電話株式会社) 4. 12月. 1998 (04. 12. 98) 全文、全図 (ファミリーなし)	1-21